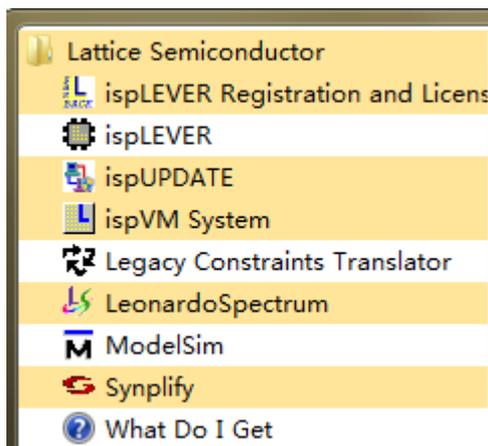


ispLEVER 工具中 Verilog 语言的设计方法

ispLEVER 是 Lattice 公司最新推出的一套 EDA 软件。设计输入可采用原理图、硬件描述语言、混合输入三种方式能对所设计的数字电子系统进行功能仿真和时序仿真。编译器是此软件的核心，能进行逻辑优化，将逻辑映射到器件中去自动完成布局与布线并生成编程所需要的熔丝图文件。这次实验采用 Verilog HDL 硬件描述语言。下面是使用该软件进行编程，生成.jed 熔丝图文件的详细步骤。

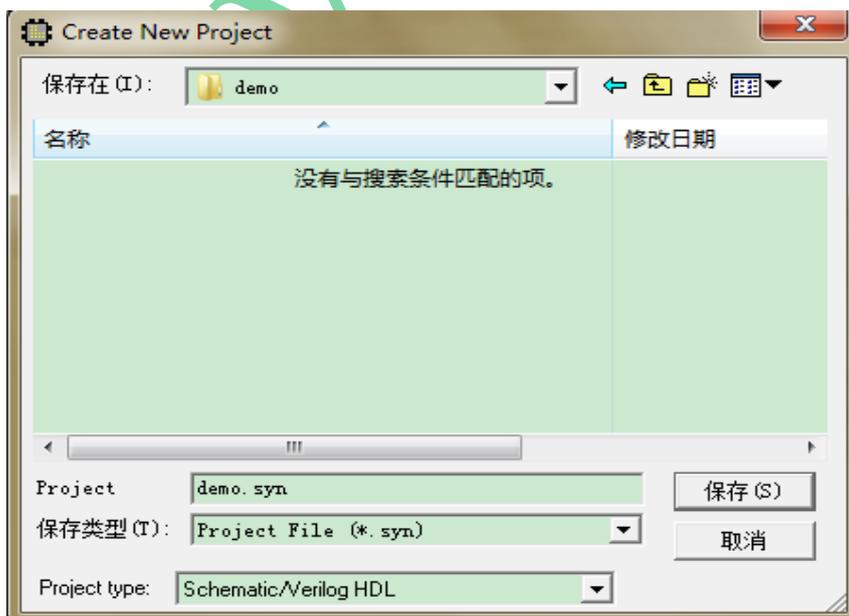
1. 运行程序

开始->所有程序->Lattice Semiconductor=>ispLEVER



2. 新建工程

在 ispLEVER System Project Navigator 主窗口中按 File=>New Project 菜单建立一个新的工程文件。此时会弹出如下图所示的对话框。请注意在该对话框中的 Project Type 栏中必须根据设计类型选择相应的工程文件的类型。本例中是 Verilog 设计，输入则选择 Verilog HDL 类型。点击保存。

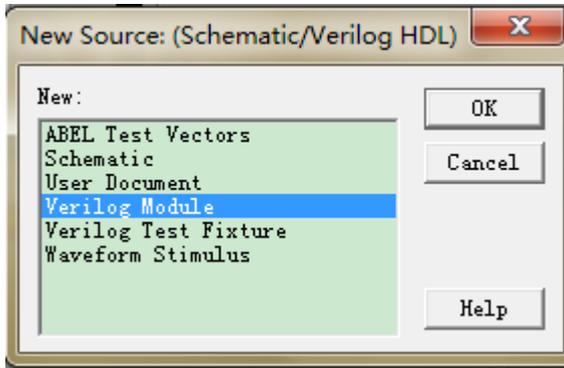


将该工程文件存盘为 demo.syn。

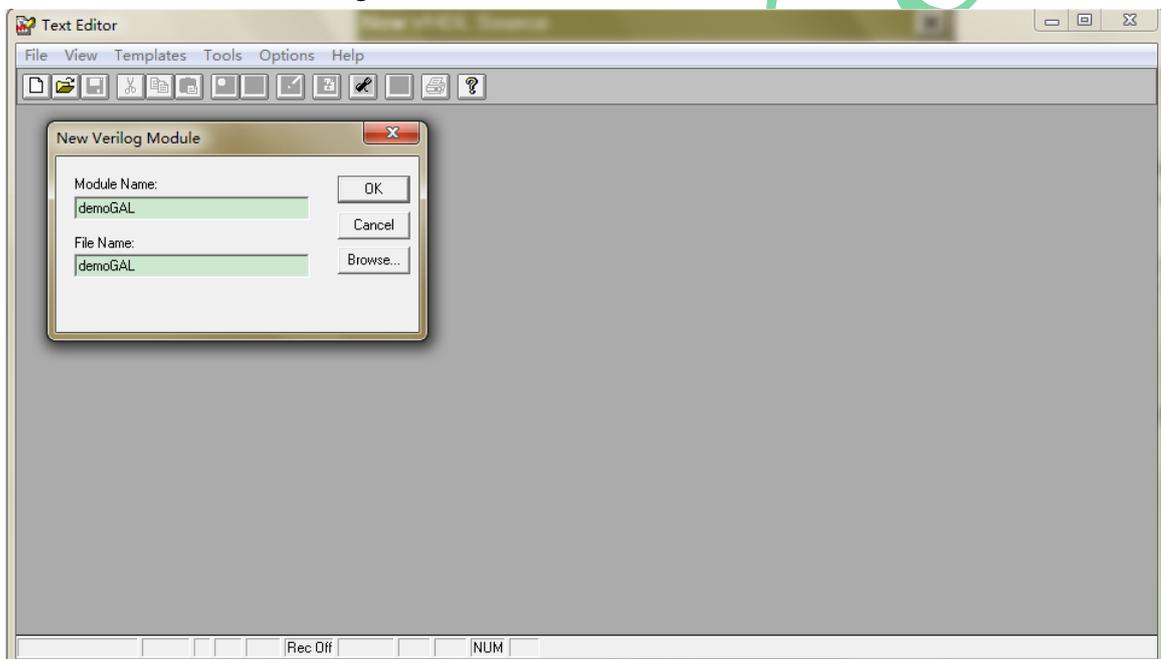
3. 新建 Verilog HDL 文件

在 ispLEVER System Project Navigator 主窗口中选择 Source=>New 菜单在弹出的 New Source 对话框中选择 Verilog Module 类型。

此时软件会产生一个如下图所示的 New Source (Schematic/Verilog HDL) 对话框。



点击 OK 后，弹出 New Verilog Module 对话框。



在对话框的各栏中分别填入如上图所示的信息按 OK 钮后进入文本编辑器-Text Editor 编辑 Verilog 文件。

```
Text Editor - [demo.v]
File Edit View Templates Tools Options Window Help
[Icons]
module demo(IS,CLK,R,S,OS,Q1,Q2,Q3,Q4,QL);

input IS,CLK,R,S;
output OS,Q1,Q2,Q3,Q4,QL;
reg Q1,Q2,Q3,Q4;

always@(posedge CLK)
begin
    Q4<=Q3;
    Q3<=Q2;
    Q2<=Q1;
    Q1<=(Q3^Q4)|((~Q1)&(~Q2)&(~Q3)&(~Q4));
end

assign QL=~(R|(~(S|QL)));
assign OS=~(~IS);

endmodule
```

输入代码如下:

```
module demo(IS,CLK,R,S,OS,Q1,Q2,Q3,Q4,QL);

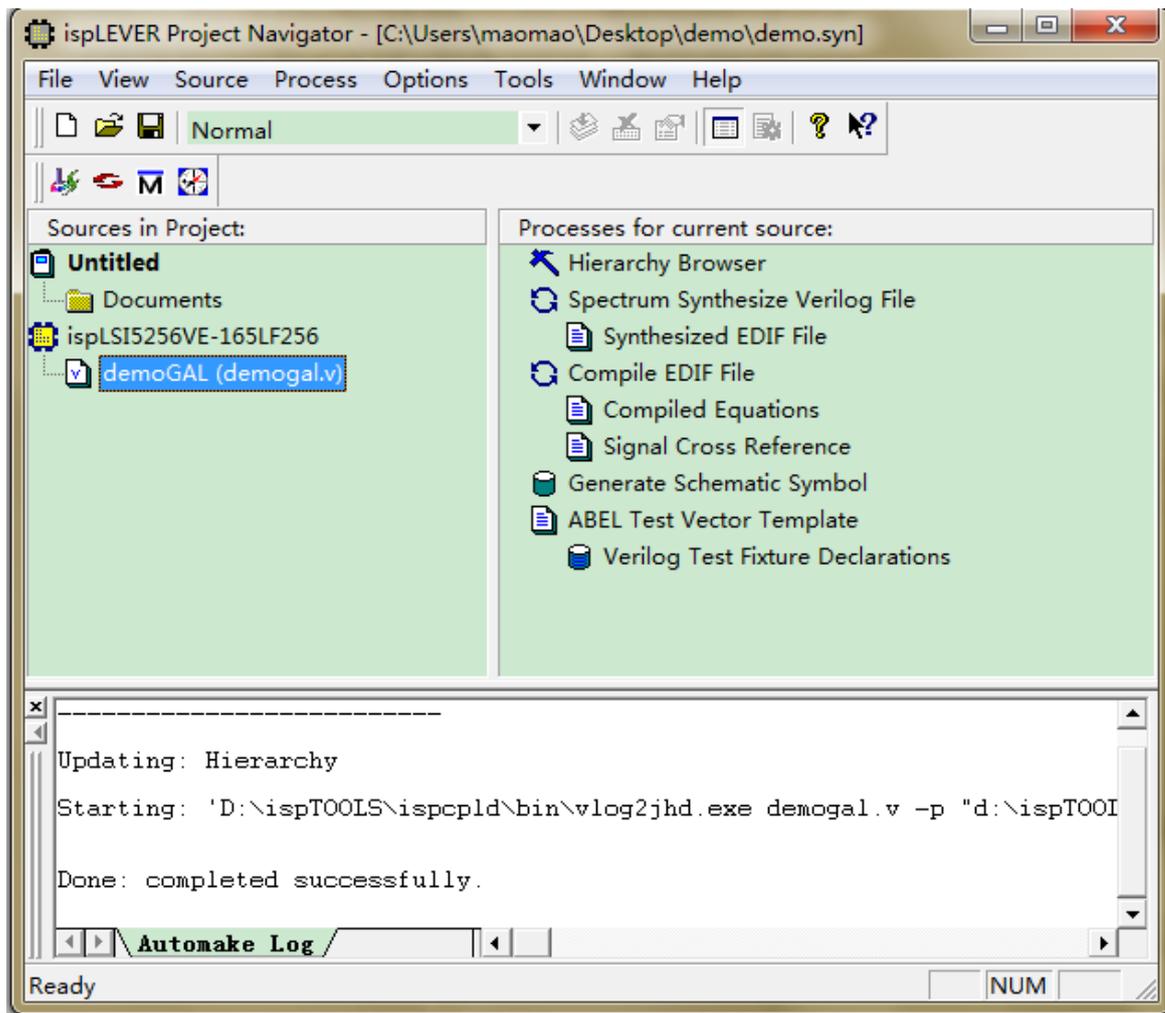
input IS,CLK,R,S;
output OS,Q1,Q2,Q3,Q4,QL;
reg Q1,Q2,Q3,Q4;

always@(posedge CLK)
begin
    Q4<=Q3;
    Q3<=Q2;
    Q2<=Q1;
    Q1<=(Q3^Q4)|((~Q1)&(~Q2)&(~Q3)&(~Q4));
end

assign QL=~(R|(~(S|QL)));
assign OS=~(~IS);

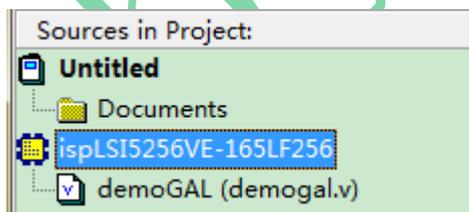
endmodule
```

保存后主窗口 ispLEVER System Project Navigator 增加了新的文件 demogal.v

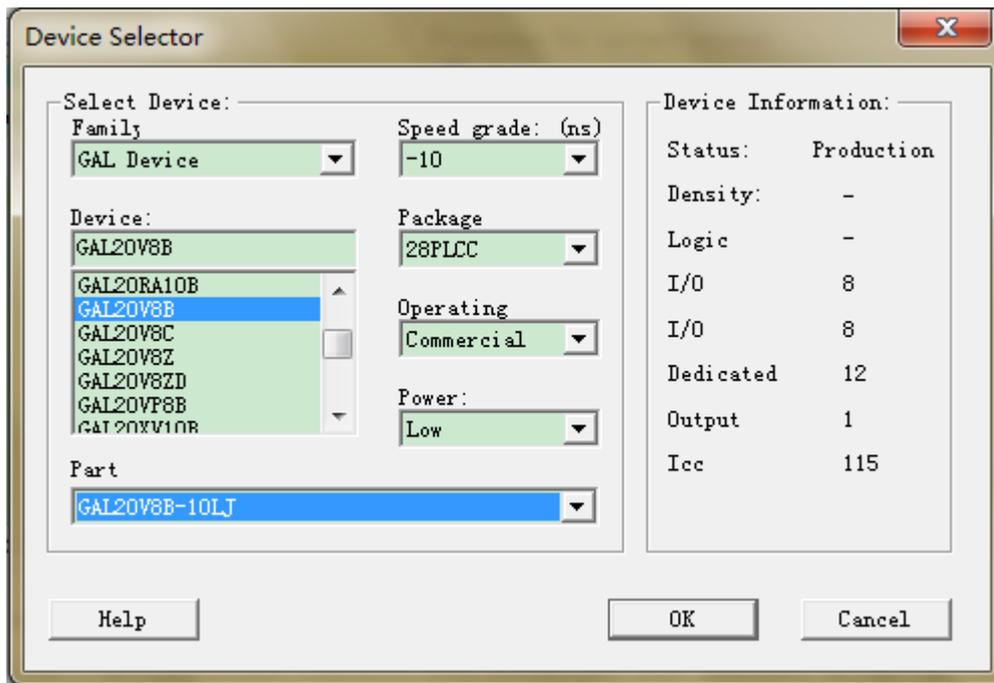


4. 选择器件

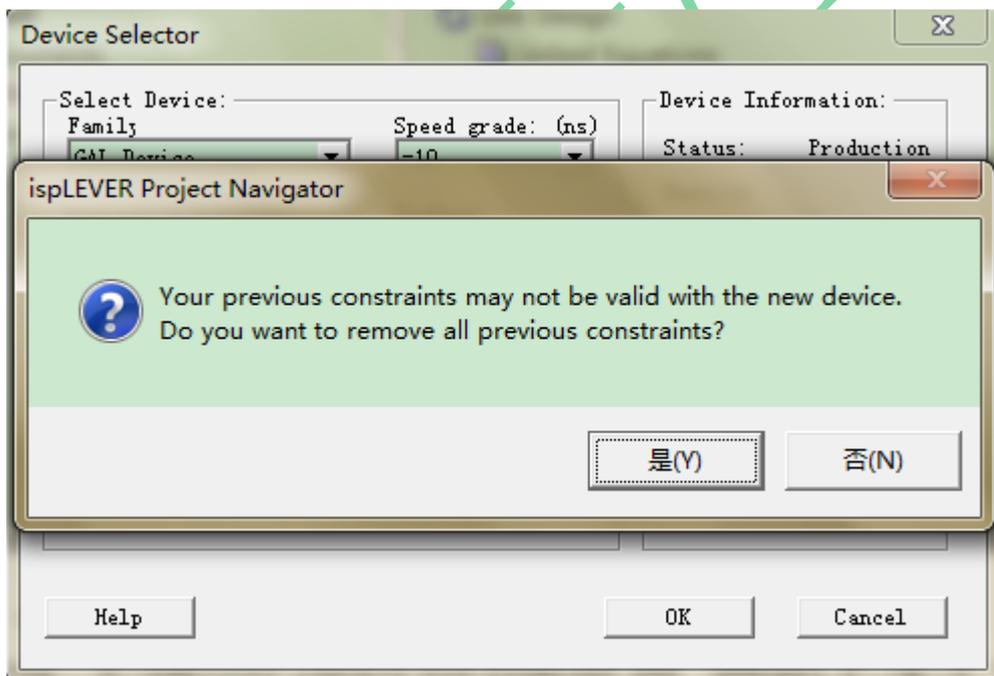
在主界面左边的 Sources in Project 双击下图选中的显示蓝色的选项，打开 Device Selector。



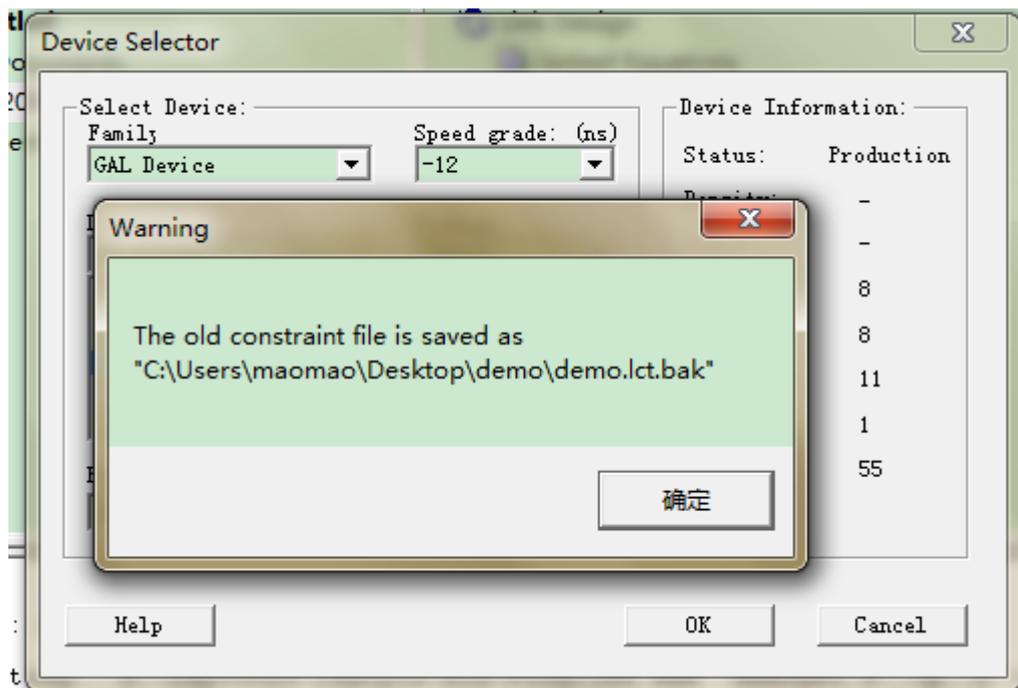
这里选择 GAL20V8B 器件



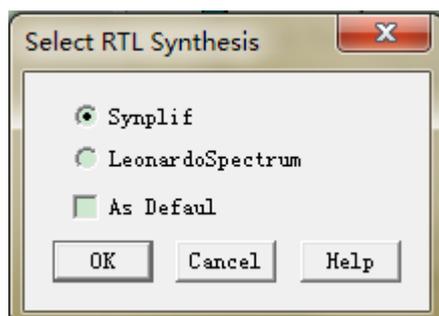
选好之后，点击“OK”，此时会弹出对话框询问是否去掉之前所有的约束。



点击“是”，会弹出 Warning 的对话框，继续选择“确定”。

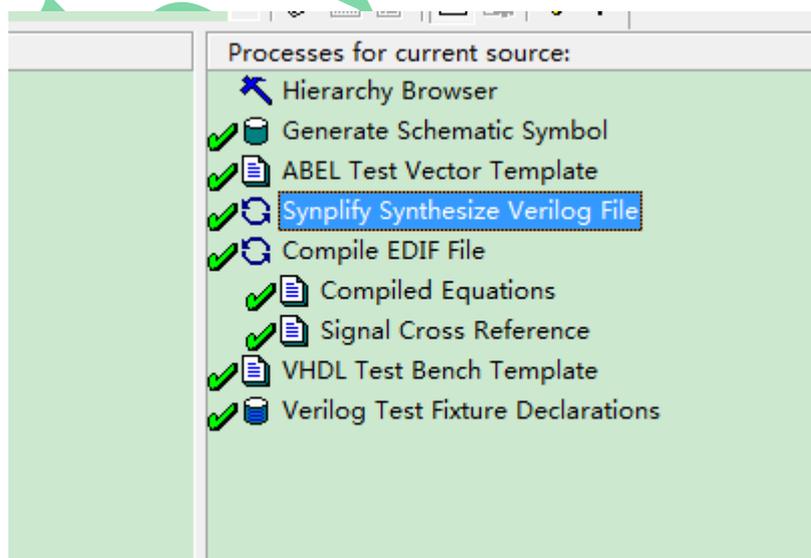


启动 Options=>Select RTL Synthesis 菜单显示如下对话框：



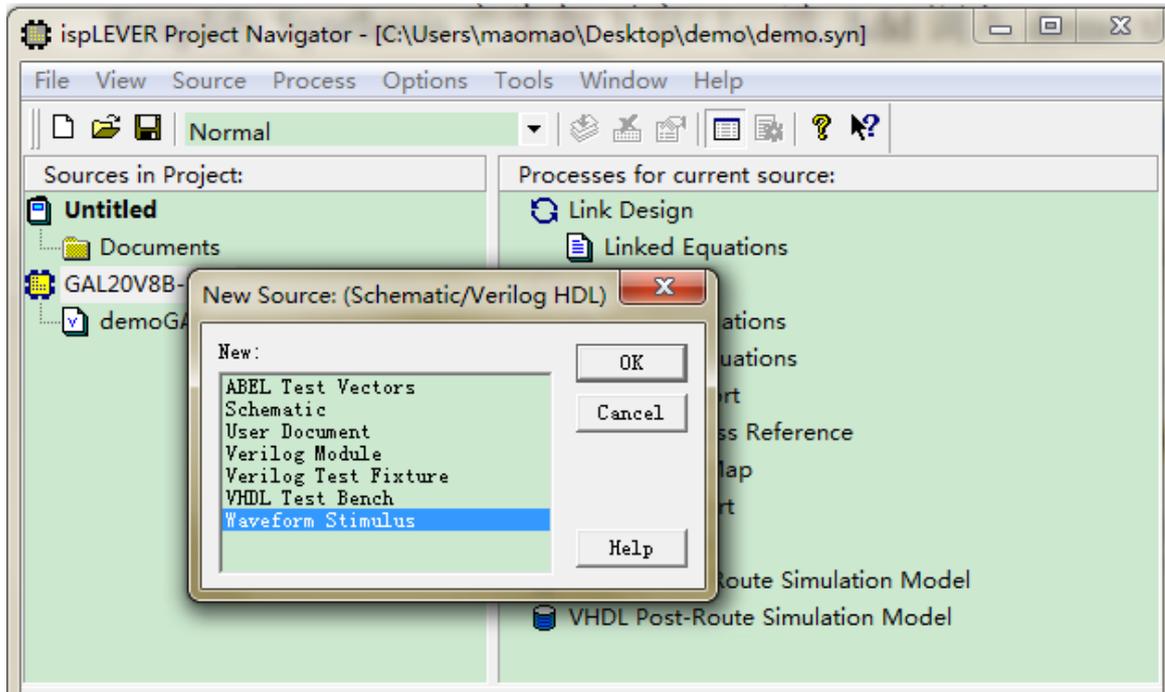
如上图选择 Synplif，点击“OK”。

选中 demoGAL.v 之后，选择右面窗口中的 Synplify Synthesize Verilog File，对所写的 verilog 文件进行综合，确认没有问题，进行下一步，否则需要调试代码。

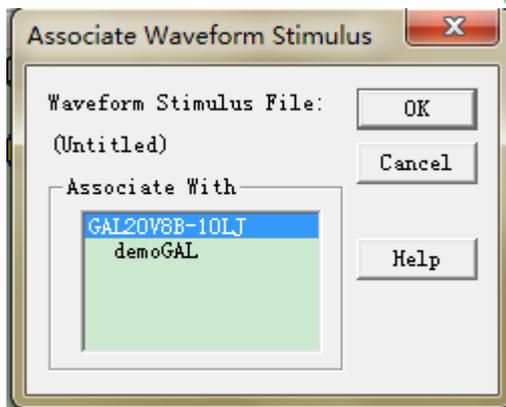


5. 添加测试波形文件

右键点击器件，选择“NEW”，弹出 New Source 对话框。



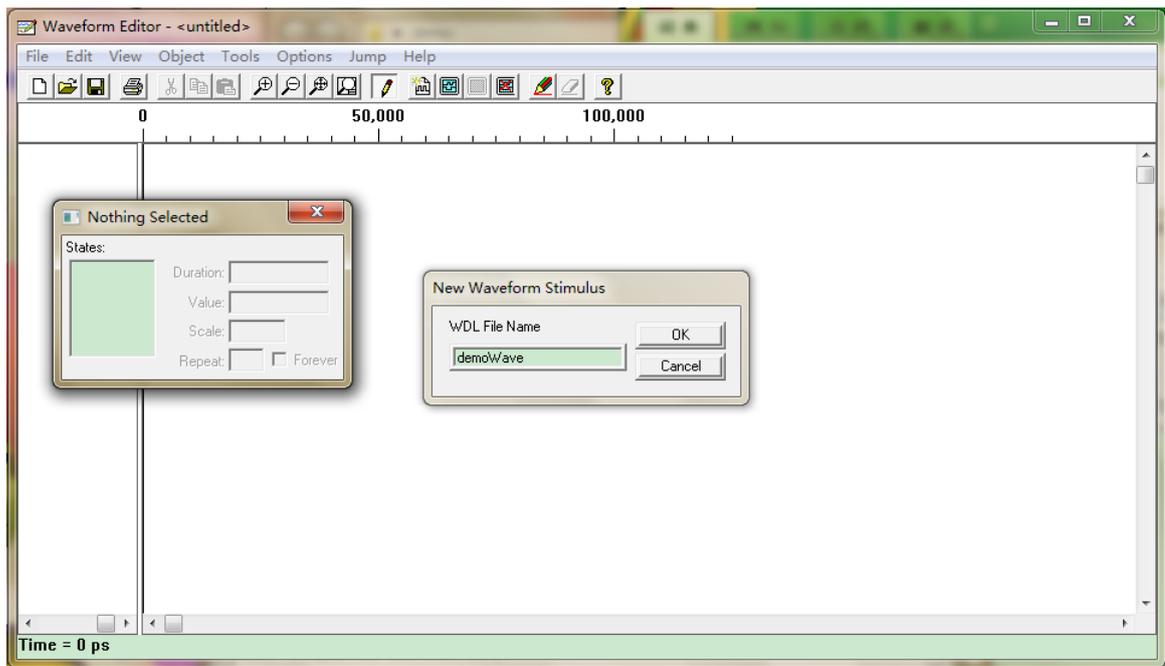
选择 Waveform Stimulus，单击“OK”。弹出 Associate Waveform Stimulus 对话框。



选择联系到器件。

注意：这个 .wdl 文件要联系到器件上。如果联系到了 .v 文件上，则只能进行功能仿真，不能进行时序仿真。

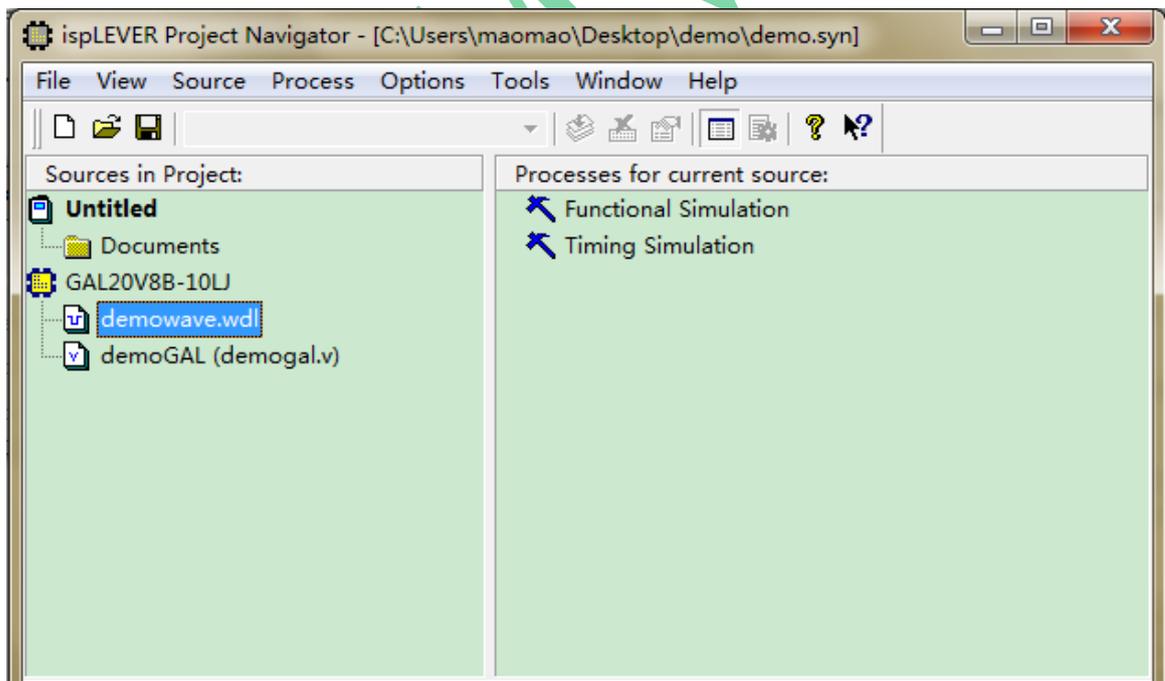
单击“OK”，弹出 Waveform Editor，如下图。



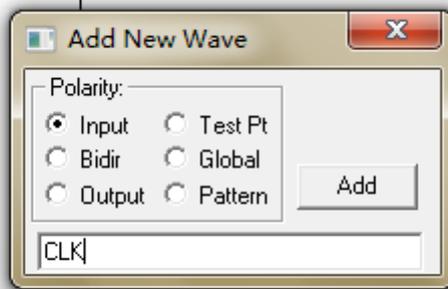
输入波形仿真文件的名称，单击“OK”。

此时可以看到如下图，

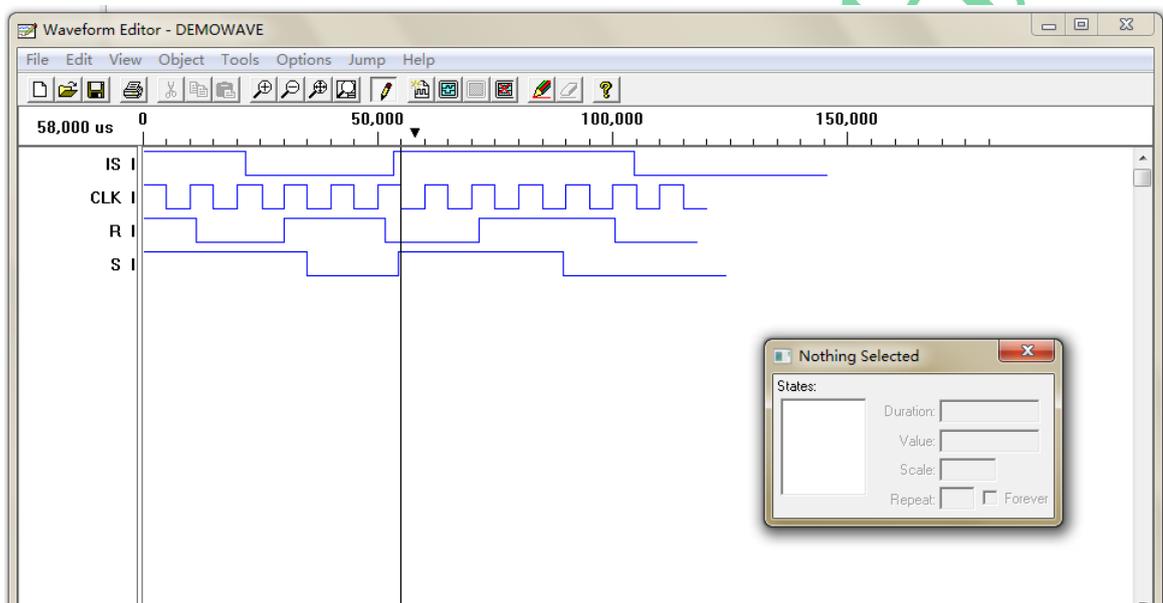
主界面中.wdl文件和.v文件是同一级的关系，后面同时出现功能仿真和时序仿真，说明关联关系正确。



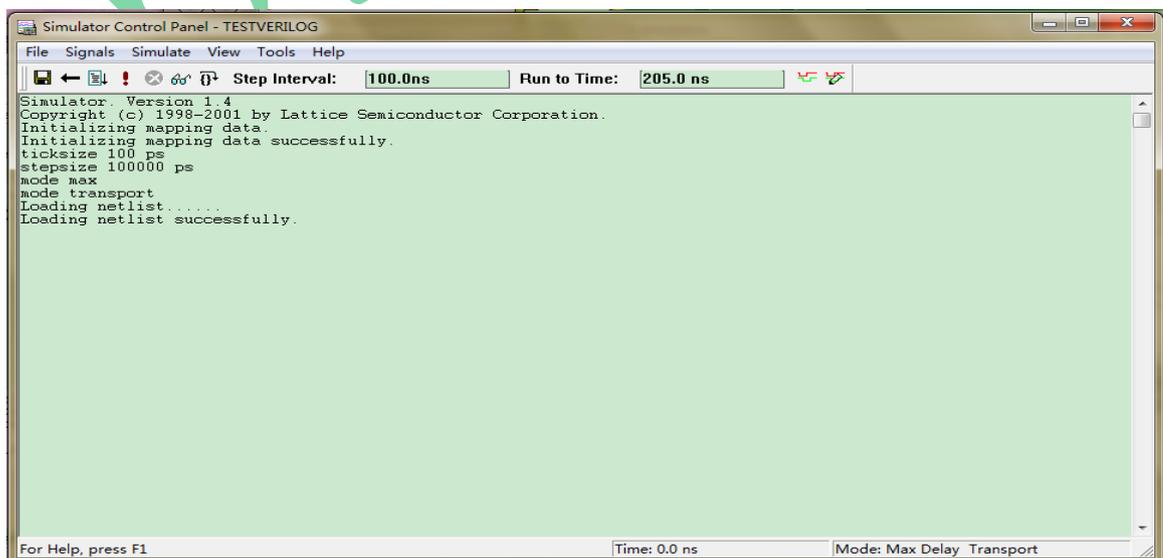
在 Waveform Editor 界面选择 Edit=>New Wave, 弹出如下对话框：



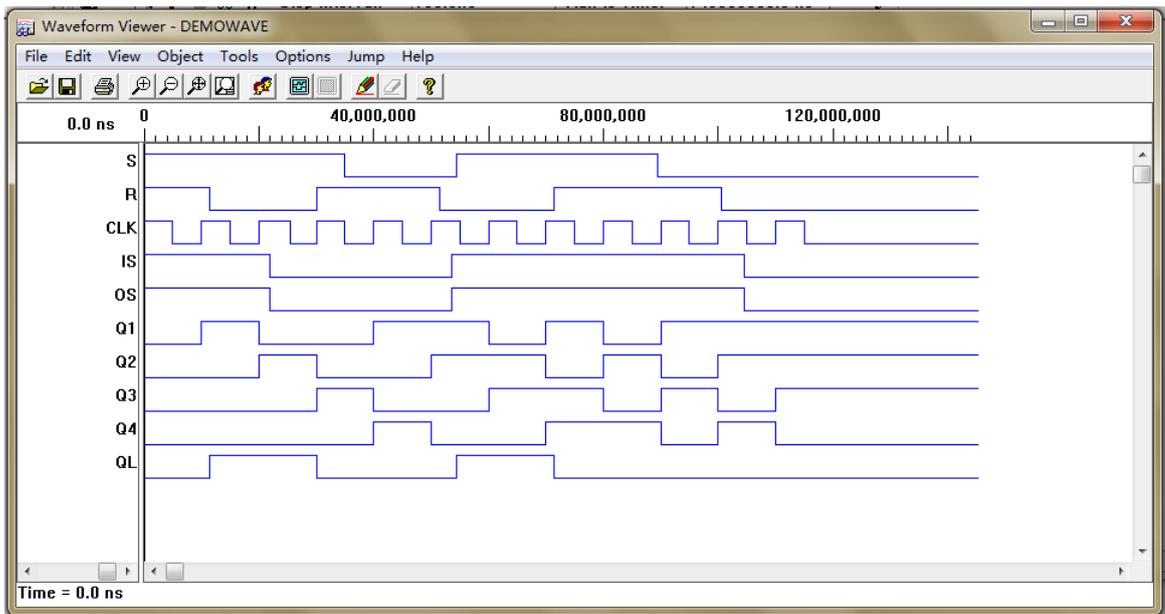
这里可以输入需要的波形的端口名和类型。这里依次可以选择输入上面.v 文件对应的 input 端口 CLK, IS, R, S。



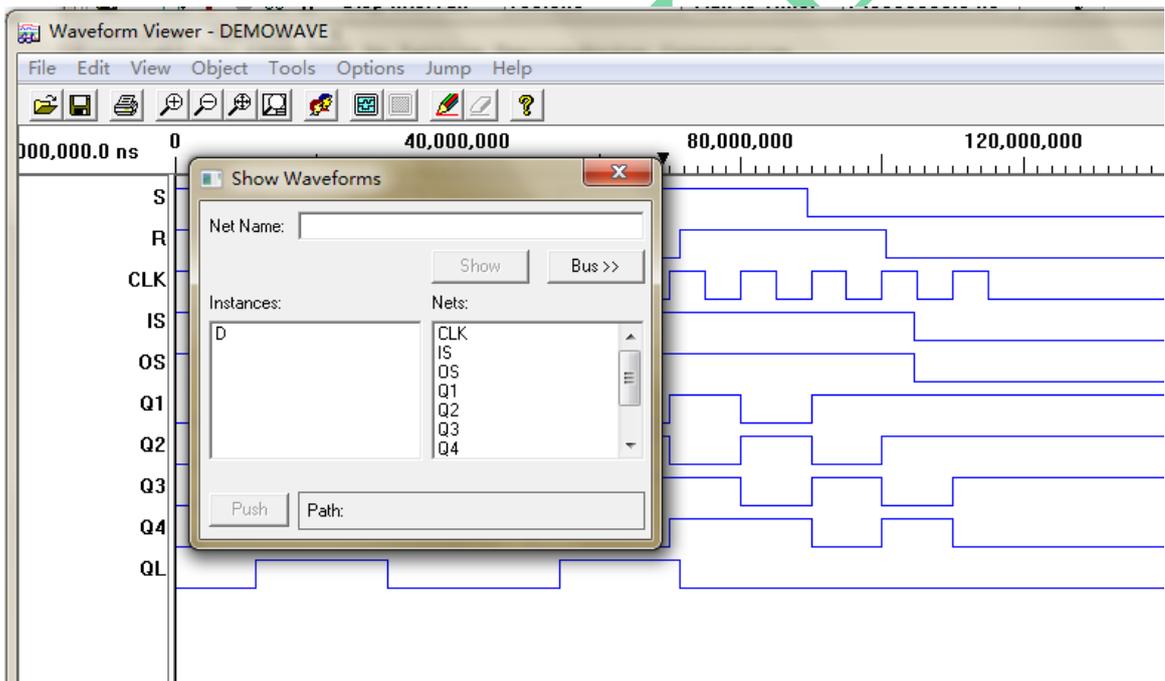
可以用鼠标拖拽在编辑窗口画出想要的输入波形，如上图。保存，退回到主页界面。选中 demoWave.wdl 文件后，右侧可以选择进行功能仿真/时序仿真。以时序仿真为例。双击 Timing Simulation，若没有错误，会弹出 Simulator Control Panel



选择菜单栏的 Simulate=>Run，此时弹出 Waveform Viewer 对话框。



如果没有显示输出波形，选择菜单中 Edit=>Show，弹出对话框



这里可以选择想要查看波形的端口。

此时，已完成了仿真的基本步骤，可以如果输出波形和想要设计的功能一致，则仿真成功。可以继续反复上面的步骤进行修改或功能检验。

6. 修改约束文件

注意：选择芯片后，双击右边窗口的“JEDEC File”，如果程序工作结束时“JEDEC File”前也打上了“√”，你可以进行下面的工作



可以右键这里的 JEDEC File，选择 View 看到熔丝图文件，也可以到工程所在的文件夹，找到工程名.jed，这里是 demo.jed，复制出来，就终于可以下载到芯片里啦~O(∩_∩)O~

by Myra