

# DSP实验课程简介

- 基于TMS320C54X定点处理器
- 实验为主，应当具备数字信号处理知识
- C语言和汇编语言的CCS环境

# TMS320VC54SP简介

- TI公司生产的16bits定点DSP
- 各型号具有相同的CPU内核结构
- 具有兼容的指令集

# 总体结构

- 片上双寻址读写存储器
  - 片上只读存储器
  - 各片上外设
- 
- 中央处理器
  - 围绕8条总线构成。

# 总体特点

- 功耗低
- 速度快，100MIPS
- 片上集成资源丰富

# TMS320VC5402内部结构模块

- 一条程序总线
- 三条数据总线
- 四条地址总线
- 8条16位总线构成增强哈佛结构

# 内部结构

程序总线（PB）传送从程序寄存器来的代码和立即数。

- 数据总线（CB\DB\EB）连接CPU和各外设部件。其中，CB、DB传送从数据存储器读出的操作数，EB传送存储器的数据。

四组地址总线（PAB\CAB\DAB\EAB）  
传送执行指令所需的地址

# 资源逻辑（对使用者）

- I/O
- 程序
- 数据

# CPU

- 40位算术逻辑单元（ALU）和两个独立的40位累加器（ACCA和ACCB）。可完成二进制补码算术运算，具有运算溢出保护能力，也能完成布尔运算。
- 40位桶形移位器。能够在在一个指令周期内完成数据左移0~31或右移0~16位操作。

# CPU

- $17 \times 17$ 位并行乘法单元与一个专用40位加法器用于无等待状态的单周期乘法连同加法(MAC)操作。能够在—个指令周期内完成—次 $17 \times 17$ -bit的二进制补码的乘加运算。

# CPU

- 比较、选择和保存单元（CSSU）能够完成维特比（Viterbi）加 / 比较选择操作。可完成累加器高位字和低位字之间的最大值比较，即选择累加器中较大的字并存储在数据存储器中的操作。

# CPU

- 两个地址发生器，包括8个辅助寄存器（AR0—AR7）和2个辅助寄存器算术单元（ARAU0、ARAU1）。
- 指数编码器(EXP-ENCODER)在一个周期里计算一个40-bit累加器值的指数值。

# 片上外设

- 4K×16-bit片内(on-chip)ROM。具有自引导功能，能够实现脱机运行。
- 16K×16-bit双访问(Dual-Access)片内(on-chip)零等待快速RAM。在同一页的数据区内可以在一个时钟周期内对不同的地址进行两次读操作和一次写操作。

# 片上外设

- 软件可编程等待状态发生器和可编程的存储单元转换。能够与速度比较慢的外部设备进行数据交换。
- 连接内部振荡器或外部时钟源的锁相环(PLL)发生器。可通过不同的跳线设定DSP使用内部或外部的时钟工作于不同的时钟频率倍数。

# 片上外设

- 两个高速多通道缓冲同步串口(Multi Channel Buffer Serial Ports)。可以高速全双工的进行同步串行通信，具有多通道双缓冲能力，能灵活的设定数据串长度，并能与DMA控制器搭配使用降低中断开销

# 片上外设

- 
- 六通道DMA控制器。可以实现6通道的直接寄存器寻址，包括程序空间寻址，独立运行，减少对CPU资源的占用。
- 8-bit并行主机接口(HPI)
- 两个16-bit定时器

# 工作模式

- 微处理器工作模式
- 微计算机工作模式

# 实验安排

- 实验一 熟悉CCS环境
- 实验二 信号发生器
- 实验三 FIR

# 实验安排

- 实验四
- 组1: FFT
- 组2: 数字声音录放

# 能力提高实验

- 用定点处理器实现浮点运算，如仿镇微分方程，数字锁相环
- MCBSP对UART的通信，DSP调制解调器