

可编程逻辑电路设计

Digital Design Using PLD

Duan@pku.edu.cn

二〇〇七年

- 课程简介
- 可编程逻辑器件常识
- 可编程逻辑 开发工具
- 试验平台简介
- 基本的VHDL程序结构

课程简介

教学目的及方式

- 教学目的
 - ❖ 熟悉可编程逻辑器件的结构和原理
 - ❖ 掌握可编程逻辑器件的开发方法和工具
 - ❖ 掌握VHDL语言
 - ❖ 学习数字系统的设计方法
 - ❖ 锻炼数字系统的设计和实现的综合能力
- 教学方式
 - ❖ 讲授
 - ❖ 自学

课程简介

教学内容

- 可编程逻辑器件的结构原理
- 可编程逻辑器件的特性和使用
- 可编程逻辑器件的开发流程
- 可编程逻辑器件的开发工具
- 可编程逻辑系统的VHDL语言设计方法
- 数字系统的设计方法

课程简介

教学计划

课次 日期	教学内容 (1小时)	实验内容 (2.5小时)	实验要求
1	PLD器件常识 实验板简介 开发软件入门 VHDL程序结构	实验一：入门实验（熟悉实验板和开发软件）	检查
2	VHDL语言（组合逻辑部分） 实验板介绍	实验二：组合逻辑电路实验 译码器/十进制转换/比较器/加法器	检查
3	VHDL（时序逻辑部分） 时序逻辑电路设计 设计优化方法	实验三：时序逻辑电路实验 扫描显示电路	检查
4	状态机 层次化设计 EDA软件接口	实验四：状态机及层次化设计 实验 脉宽测量电路	检查
5/6/7/8	开放实验	实验五：系统设计Project 题目可选	检查/报告/答辩

课程简介

评分标准

- 实验1：不计分
- 实验2-4：20×3分
 - ❖ 功能：10分
 - ❖ 报告：10分
- 实验5：40分
 - ❖ 实验结果检查：20分
 - ❖ 实验报告：10分
 - ❖ PPT报告：10分

实验报告要求

- 系统目标
 - ✧ 功能
 - ✧ 技术指标：速度/功耗/精度等
- 系统规范
 - ✧ 系统的输入
 - ✧ 系统的输出
 - ✧ 系统的功能
- 系统框图
- 对系统各模块实现的详细说明
 - ✧ 输入
 - ✧ 输出
 - ✧ 系统实现的算法和结构说明
 - ✧ 设计源码 (*)
 - ✧ 模块的性能/资源/仿真结果
- 系统的测试结果
 - ✧ 功能测试结果
 - ✧ 指标测试结果
 - ✧ 资源消耗
- 系统的总结
- 实验的经验总结
- 对所实现系统功能进一步扩展的展望

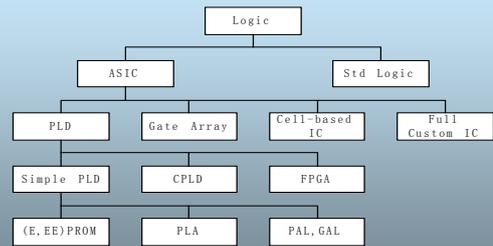
实验纪律

- 报告未按时交，扣5分
- 缺席实验者，该次实验分为0
- 抄袭他人报告和实验源代码者，实验不及格

教学参考资料

- 教学参考书
 - ✧ 《EDA技术实用教程》，潘松，科学出版社
 - ✧ 《VHDL与数字电路设计》，卢毅，科学出版社
 - ✧ 《数字系统设计与PLD应用技术》，蒋璇，电子工业出版社
 - ✧ 《FPGA设计及应用》，褚振勇，西安电子科技大学出版社
 - ✧ 《VHDL语言100例详解》，北理工ASIC研究所，清华大学出版社
- 互联网资源
 - ✧ www.altera.com
 - ✧ www.xilinx.com
 - ✧ www.lattices.com
 - ✧ www.actel.com
 - ✧ www.fpga.com.cn 可编程逻辑器件中文网站
 - ✧ www.21ic.com 中国电子网 可编程器件专题
- Digital Library CD-ROM
- EElab.pku.edu.cn
 - ✧ ID/PassWord
 - ✧ BBS/Lec/Lab
- ftp.ele.pku.edu/pub

逻辑器件分类



ASIC: Application Specific Integrated Circuit
 PLD: Programmable Logic Device

为什么要用PLD?

- 现场可编程
- 可再编程
- 在线设计验证
- 好的开发软件
- 快速开发原型机
- 迅速投放市场
- 不需要NRE费用
- 用硬件模拟代替软件仿真
-

可编程逻辑器件发展历史 (一)

- 简单PLD: <500门
 - ✧ Programmable ROM (PROM) 可编程只读存储器
 - 固定的与阵列和可编程的或阵列，熔丝工艺，一次性
 - ✧ Erasable PROM (EPROM) 可擦除PROM
 - 固定的与阵列和可编程的或阵列，紫外或可擦除
 - ✧ Electronic Erasable PROM (EEPROM) 电可擦除PROM
 - 不可编程的“与”阵列和可编程的“或”阵列，浮栅雪崩注入型MOS管，有“隧道效应”。
 - ✧ Programmable Logic Array (PLA) 可编程逻辑阵列
 - “与”阵列、“或”阵列都可编程 (未得到广泛应用)
 - ✧ Programmable Array Logic (PAL) 可编程阵列逻辑
 - 可编程的“与”阵列和不可编程的“或”阵列。
 - ✧ Generic Array Logic (GAL) 通用阵列逻辑
 - 可编程的“与”阵列和固定的“或”阵列，输出有输出态逻辑单元，熔丝采用先进的浮栅技术E²CMOS技术。

可编程逻辑器件发展历史 (二)

❑ 复杂PLD

- ❖ Complex Programmable Logic Device (CPLD) 复杂可编程逻辑器件
 - 结构以逻辑宏单元为基础，宏单元内部有与-或积项阵列
 - 一般包含三部分：可编程逻辑宏单元，可编程I/O单元，可编程内部连线
- ❖ Field Programmable Gate Array (FPGA) 现场可编程门阵列
 - 由逻辑功能块排成阵列，并由可编程的互连资源连接这些逻辑功能块来实现不同设计
 - 一般包含三部分：可编程逻辑块，可编程I/O模块，可编程内部连线

CPLD与FPGA对比

❑ CPLD

- ❖ 积项结构，适合于实现复杂的组合逻辑电路
- ❖ 连线延时好估计
- ❖ 应用举例：
 - 译码器、数据变换、总线控制、存储器控制

❑ FPGA

- ❖ 由大量功能相对简单的组合逻辑块组成，适合于需要很多触发器的场合
- ❖ 连线延时不好估计
- ❖ 应用举例：
 - 信号处理、系统控制、嵌入式处理器、单片系统

常见CPLD/FPGA厂家及产品系列

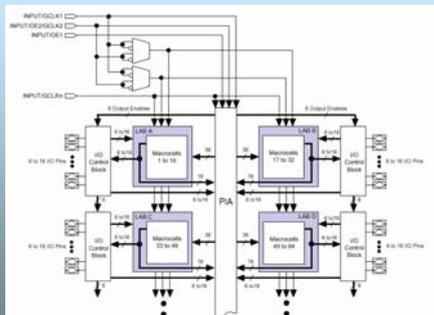
- ❑ **Altera公司**，<http://www.altera.com>
 - ❖ 主要产品：
 - MAX3000/7000
 - FLEX6K/10K, APEX20k, APEX1K Stratix.....
 - ❖ 开发工具：MAX+PLUS II, Quartus II
- ❑ **Xilinx公司**，<http://www.xilinx.com>
 - ❖ 主要产品：
 - XC9500, CoolRunner
 - XC4000, Spartan, Vertex
 - ❖ 开发工具：Foundation, ISE
- ❑ **Lattice公司**，<http://www.lattice.com>
 - ❖ 主要产品：
 - ispMACH4000/5000, ispLSI5000, ispXPLD5000
 - ispNPGA
 - ispPAC (可编程模拟芯片)
 - ❖ 开发工具：
- ❑ **Actel公司**，<http://www.actel.com>
 - ❖ 反熔丝 (一次性烧写) PLD的领导者。由于反熔丝PLD抗辐射，耐高低温，功耗低，速度快，在军品和宇航级上有较大优势。
- ❑ **其他公司**：Cypress, Quicklogic, Atmel.....

Altera Programmable Logic Families

- ❑ **Structured ASIC**
 - ❖ HardCopy® II, HardCopy Stratix
- ❑ **High & Medium Density FPGAs**
 - ❖ Stratix™ II, Stratix, APEX™ II, APEX 20K, FLEX® 10K
- ❑ **Low-Cost FPGAs**
 - ❖ Cyclone™ II & Cyclone
- ❑ **FPGAs with Clock Data Recovery**
 - ❖ Stratix GX & Mercury™
- ❑ **CPLDs**
 - ❖ MAX™ II, MAX 7000 & MAX 3000
- ❑ **Embedded Processor Solutions**
 - ❖ Nios™ II, Escalibur™
- ❑ **Configuration Devices**
 - ❖ Serial (EPCS) & Enhanced (EPC)

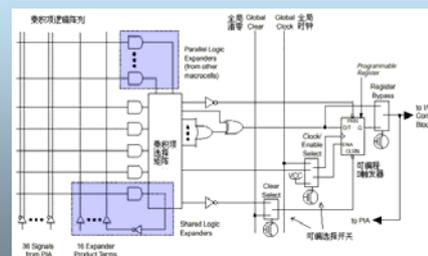


CPLD基本结构



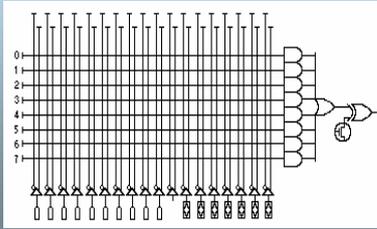
MAX7000A器件的基本结构

CPLD宏单元

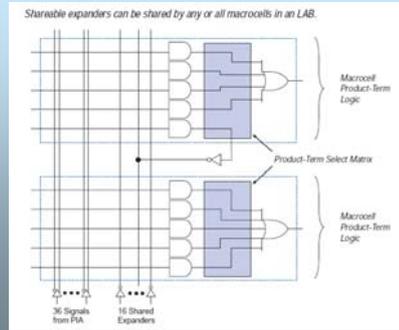


MAX7000A器件的宏单元

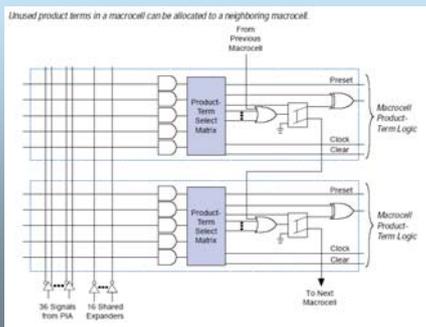
积项型结构



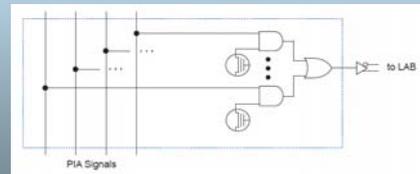
共享积项扩展



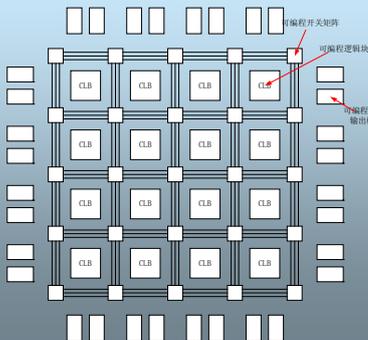
并行扩展



可编程内部连线



FPGA基本结构



FPGA的可编程逻辑块(CLB)

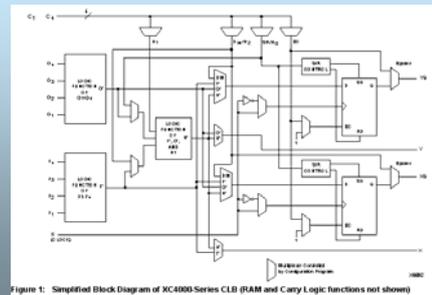


Figure 1: Simplified Block Diagram of XC4000 Series CLB (RAM and Carry Logic functions not shown)

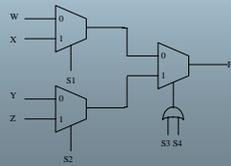
XC4000器件的CLB

查找表与多路开关结构

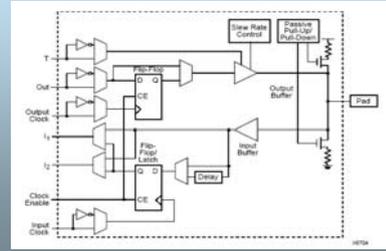
- 查找表结构 (Look-Up Table)



- 多路开关结构



FPGA的IOB



XC4000器件的IOB

FPGA的连线资源

- 分段连线
 - 延时不好预计
- 有多种长度的连线
 - 单长度连线
 - 双长度连线
 - 四长度连线
 - 长线
 - 直接连线

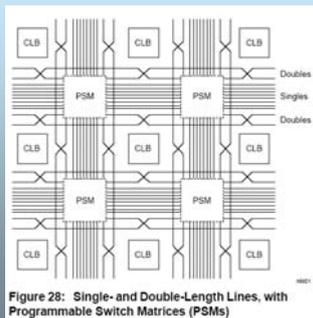


Figure 28: Single- and Double-Length Lines, with Programmable Switch Matrices (PSMs)

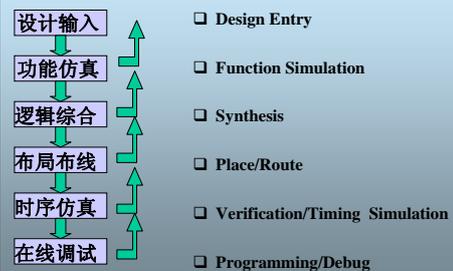
可编程器件的编程元件

- 熔丝型开关
- 反熔丝型开关
- 浮栅编程技术
 - EPROM
 - EEPROM
 - FLASH
- 基于SRAM的编程元件

可编程逻辑器件的发展趋势

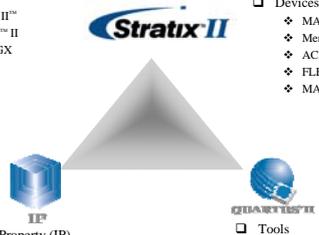
- 向密度更高、速度更快、频带更宽的百万门系统级发展
 - Stratix系列, 840Mbps
 - APEX II系列, EP2A25, 0.15um, 250万门
 - Virtex-E系列, XCV3200E
- 低端嵌入式控制产品和高端SOC应用
 - 基于PLD的处理器内核, Excalibar
- 在线编程ISP和系统内可重构ICR方向发展
- 向大容量, 低电压, 低功耗和绿色化发展
- 向低成本, 低价格
 - Nois, 50MIPS, 10万门的25%, \$5
 - PCI核, 2万门的30%, \$10
- 设计技术向高层设计转移
- ASIC产品嵌入可编程功能
 - Actel
- 向混合编程技术发展

可编程逻辑器件的开发流程



The Programmable Solutions

- ❖ Devices
 - ❖ Stratix® II™
 - ❖ Cyclone™ II
 - ❖ Stratix GX
 - ❖ Stratix
 - ❖ Cyclone
- ❖ Intellectual Property (IP)
 - ❖ Signal Processing
 - ❖ Communications
 - ❖ Embedded Processors
 - Nios® II, Nios
- ❖ Devices (continued)
 - ❖ MAX® II
 - ❖ Mercury™ Devices
 - ❖ ACEX® Devices
 - ❖ FLEX® Devices
 - ❖ MAX Devices
- ❖ Tools
 - ❖ Quartus® II Software
 - ❖ SOPC Builder
 - ❖ DSP Builder
 - ❖ Nios II IDE



Software & Development Tools

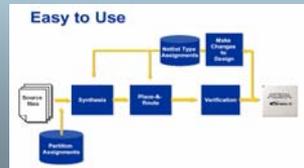
- ❖ Quartus II
 - ❖ All Stratix, Cyclone & Hardcopy Devices
 - ❖ APEX II, APEX 20K/E/C, Excalibur, & Mercury Devices
 - ❖ FLEX 10K/A/E, ACEX 1K, FLEX 6000 Devices
 - ❖ MAX II, MAX 7000S/AE/B, MAX 3000A Devices
- ❖ Quartus II Web Edition
 - ❖ Free Version
 - ❖ Not All Features & Devices Included
 - See www.altera.com for Feature Comparison
- ❖ MAX+PLUS® II
 - ❖ All FLEX, ACEX, & MAX Devices



Quartus II Development System

Fully-Integrated Design Tool

- Multiple Design Entry Methods
- Logic Synthesis
- Place & Route
- Simulation
- Timing & Power Analysis
- Device Programming



Quartus Modules & Functions

- ❖ Design Entry
 - ❖ Text Editor
 - ❖ Block&Symbol Editor
 - ❖ Mega Wizard Plug-in Manager
 - ❖ Assignment Editor
 - ❖ Floorplan Editor
 - ❖ Project Navigator
- ❖ Synthesis
 - ❖ Analysis & Synthesis
 - ❖ VHDL, Verilog, AHDL Design Assistant
- ❖ Place & Router
 - ❖ Filter
 - ❖ Assignment Editor
 - ❖ Chip Editor
 - ❖ Report Window
 - ❖ Incremental Compiler
- ❖ Simulation
 - ❖ Simulator
 - ❖ Waveform Editor
- ❖ Time & Power Analysis
 - ❖ Timing Analyzer
 - ❖ Power Analysis
 - ❖ Report Window
- ❖ Programmer
 - ❖ Assembler
 - ❖ Programmer
 - ❖ File Converters

Quartus Modules & Functions

- ❖ System Design
 - ❖ MegaWizard® & SOPC Builder
 - ❖ DSP Builder
- ❖ Software Design
 - ❖ Software Builder
- ❖ Module Design
 - ❖ LogicLock™ Optimization Tool
 - ❖ Floorplan Editor
 - ❖ VQM Writer
- ❖ EDA Interface
 - ❖ EDA Netlist writer
- ❖ Timing Closure
 - ❖ Timing Closing Floorplan
 - ❖ Logic Lock
- ❖ Debug
 - ❖ SignalTap® II
 - ❖ SignalProbe™
 - ❖ In-System Memory Content Editor
- ❖ ECO
 - ❖ Chip Editor
 - ❖ Resource Property Editor
 - ❖ Change Manager

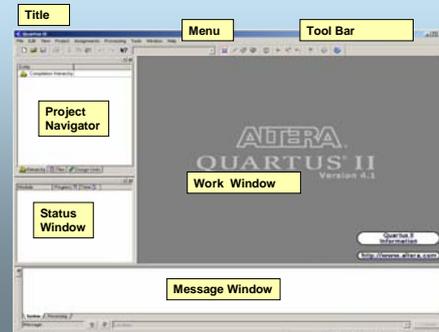
More Features

- ❖ NativeLink® 3rd-Party EDA Tool Integration
 - Synthesis Tools
 - Synplify, SynplifyPor, Leonardo...
 - Simulation Tools
 - Modelsim, Aldec HDL,...
- ❖ Multi-Platform
 - Windows, Solaris, HP/UX, & Linux Support
- ❖ Licensing options
 - Node-Locked & Network Licensing Options

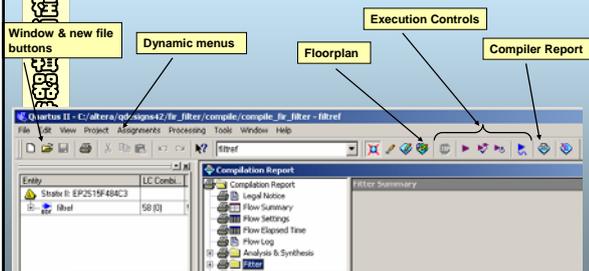
Device Supports

- ❑ All Stratix, Cyclone & Hardcopy Devices
- ❑ APEX II, APEX 20K/E/C, Excalibur, & Mercury Devices
- ❑ FLEX 10K/A/E, ACEX 1K, FLEX 6000 Devices
- ❑ MAX II, MAX 7000S/AE/B, MAX 3000A Devices

Quartus II Operating Environment

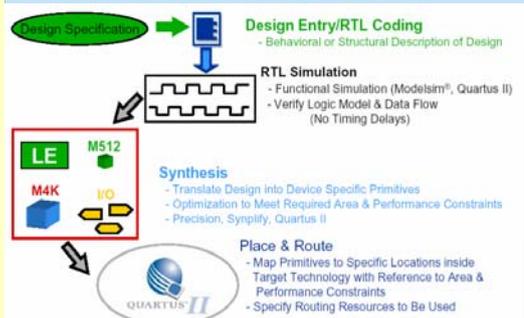


Main Toolbar & Modes

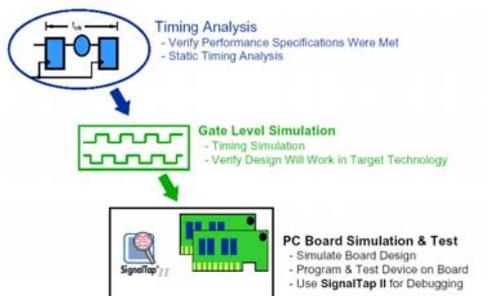


To Reset Views: Tools => Toolbars>Reset All;
Restart Quartus II

Quartus II Design Flow



Design Flow



Quartus II Design Flow

- ❑ Design Flow
 - ❖ 1 Project Manager
 - ❖ 2 Design Entry
 - ❖ 3 Compilation(Synthesis,Place/Route)
 - ❖ 4 Design Analysis
 - ❖ 5 Timing Analysis
 - ❖ 6 Simulation
 - ❖ 7 Programming/Configuration

FPGA/SOPC设计实验箱



实验箱顶视图



实验箱后视图



实验箱底板

- 一体化设计
- 10种外设
- 主板更换
- ◇ 5v3.3v



外设10种

- [1]显示单元支持6个数码管的扫描显示或128x64的LCD屏显示
- [2]4x4按键提供扫描键盘输入
- [3]4个单触发按键输入提供单脉冲信号输入
- [4]8位拨盘开关提供输入控制信号
- [5]提供2种可调时钟（1Hz-1KHz, 1KHz-1MHz）和一个固定10MHz时钟
- [6]PS2接口可以外接鼠标或键盘，
- [7]串口可以与计算机通信
- [8]VGA输出接口可以连接到计算机监视器显示8色的彩色图形，
- [9]内置的扬声器提供发声功能
- [10]扩展接口支持其他功能扩展

实验箱主板

- ❖ 容量大
 - 10万门
- ❖ 最小系统
 - 可独立使用
- ❖ 可替换
 - 插在底板上



主板组成

- FPGA
 - ❖ Altera Cycone 1C6QC240C8, 5980 LEs
 - ❖ 10万门设计容量
- SRAM
 - ❖ 1MB
- FLASH
 - ❖ 2MB
- RTC
- Reset
- Power

1 : 2 4) e t e / R e c e i v e r

VHDL程序结构

- 1、USE定义区
 - ❖ Library——定义所使用的元件库
 - ❖ Package——定义所使用的元件库中的包
- 2、Entity定义区：定义电路实体的I/O接口规格
- 3、Architecture定义区：描述电路内部具体功能
 - ❖ Component定义区
 - ❖ 信号定义
 - ❖ 行为描述/数据流描述/结构描述
- 4、Configuration定义区：决定使用哪一个architecture。（非必须）

VHDL简单实例——and2

```

Library IEEE;
Use IEEE.std_logic_1164.all;

Entity and2 is
    port(
        a: in std_logic;
        b: in std_logic;
        c: out std_logic);
End and2;

Architecture rtl of and2 is
Begin
    c<<a and b;
End rtl;
    
```

可编程逻辑器件的开发流程

