

数字逻辑电路**B**实验

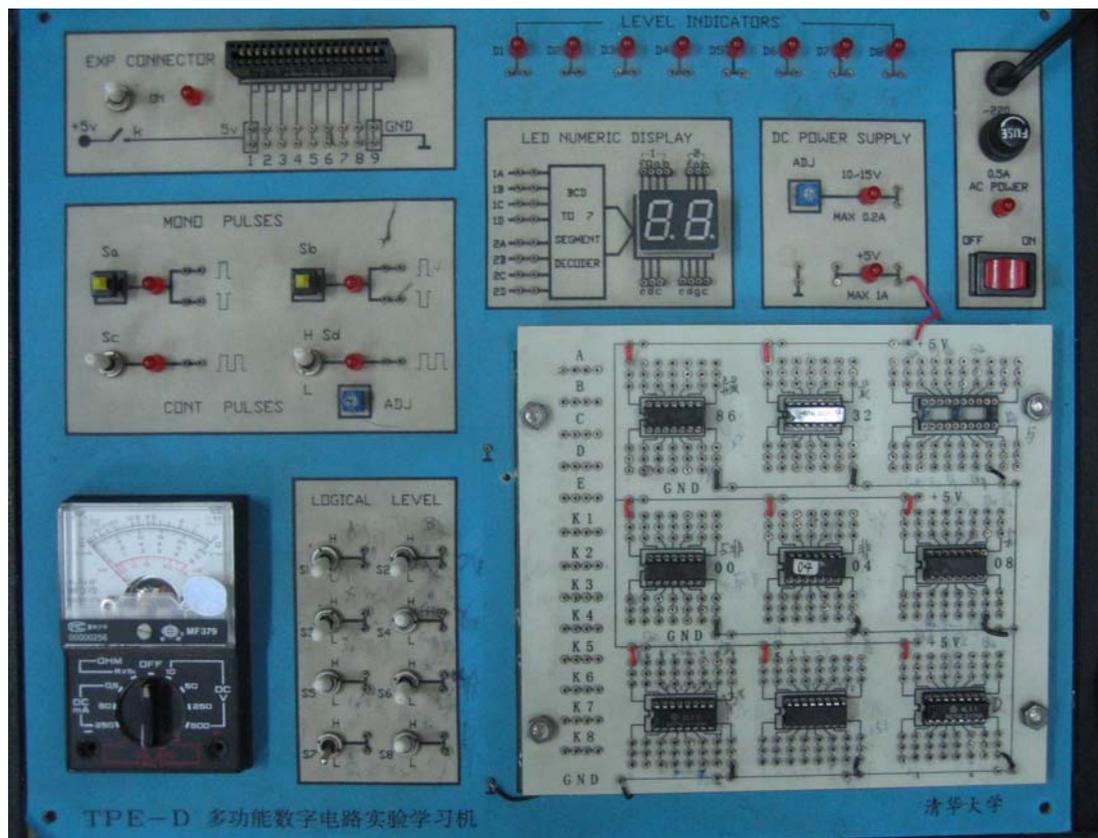
北京大学信息科学技术
学院

2006年6月



数字逻辑设计实验

实验系统



实验一 门电路的功能测试与仪器的使用

一、实验目的

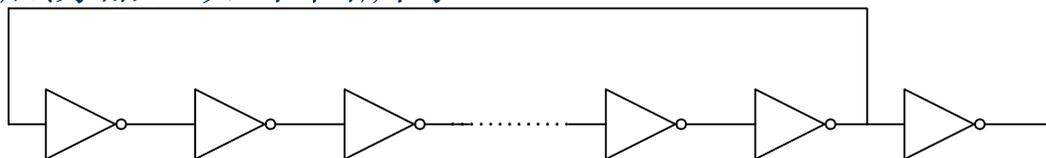
1. 初步掌握TPE-D多功能数字电路实验学习机和TDS 220示波器的使用
2. 用示波器，掌握环形振荡器的波形观测、波形上升与下降时间测量、门延迟时间测量等的基本方法
3. 掌握利用计数器电路对信号进行 $1/2$ 、 $1/4$ 、 $1/8$ 、 $1/16$ 分频的方法

实验一 门电路的功能测试与仪器的使用

二、实验内容

1. 环形振荡器的构建及测量

分别用74LS04和4069两种六反相器（即非门）芯片构建环形振荡器，如下图所示。



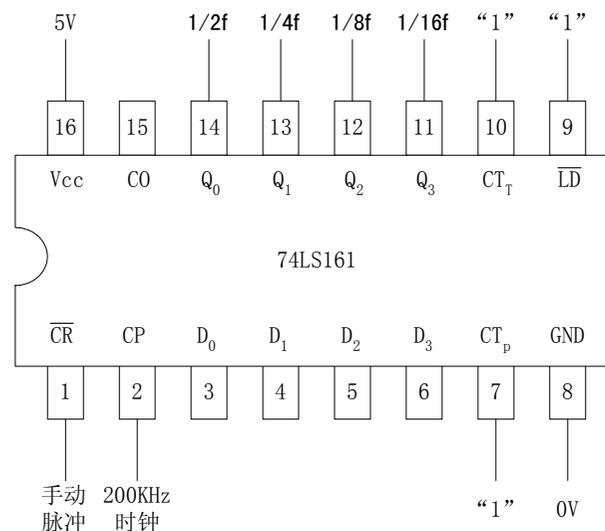
- (1) 观察反相器随着环形振荡器级数的增加，其振荡频率、波形等参数的变化
- (2) 通过环形振荡器的振荡频率，估算各种类型反向器的延迟时间

实验一 门电路的功能测试与仪器的使用

二、实验内容(续)

(2) 分频器的构建及测量

用74LS161同步四位计数器芯片构建分频器，下图所示。
对实验台上200 KHz的连续脉冲实现1/2、1/4、1/8以及1/16分频输出



实验一 门电路的功能测试与仪器的使用

三、思考题

1. 偶数级反相器能实现环形振荡器吗？为什么？
2. 环形振荡器级数较少时，为什么振荡信号没有上、下沿？
3. 为什么振荡信号 V_{pp} 随环形振荡器级数的减少而降低？
4. 以同步计数器芯片实现分频器时，分频输出信号波形间的时序关系有什么特点？

实验二 电路与全加器

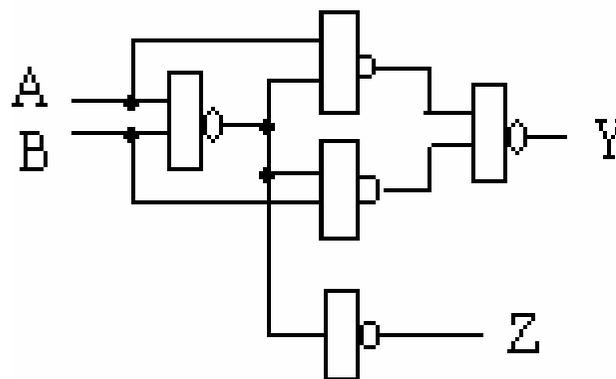
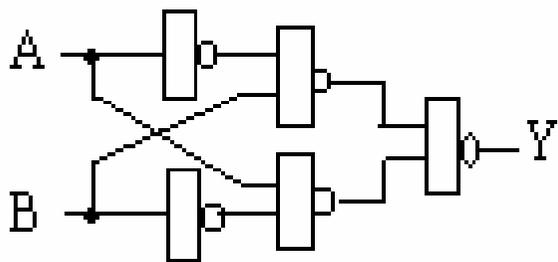
一、实验目的

- (1) 熟练掌握TPE-D多功能数字电路实验学习机和TDS 210数字式示波器的使用
- (2) 全加器和代码转换电路的设计、实现以及输入、输出信号波形时序的观测方法

实验二 电路与全加器

二、实验内容

(1) 下两图所示电路，输入A、B接电平开关，输出Y接指示灯。将输入、输出的逻辑关系填入真值表，写出输出函数表达式

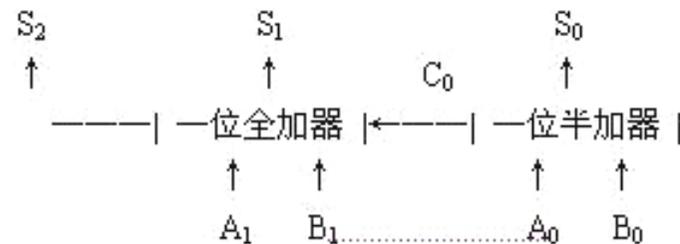


实验二 电路与全加器

二、实验内容(续)

(2) 用与非门74LS00和异或门74LS86设计一位全加器

(3) 在一位全加器的基础上，设计一个二位加法器，二位加法器的框图如右下所示



(4) 用异或门74LS86设计代码转换电路，输入是反码 $A_3A_2A_1A_0$ ，输出是反码 $B_3B_2B_1B_0$

实验二 电路与全加器

三、思考题

(1)用双通道示波器的一个通道观测加法器输入信号波形，而用另一个通道观测输出信号波形时，怎样才能稳定地显示输出信号波形变化的周期？

(2)二位加法器中，半加器的输出信号 C_0 、 S_0 与输入信号 A_0 、 B_0 的频率及相位关系特点是什么？

实验三 数值比较器

一、实验目的

掌握判别数值大小电路的基本原理，熟悉组合电路的各种设计方法

二、实验内容

1. 用74LS54、非门74LS04、与门74LS08实现二位比较器
2. 设计一个多数判别器，当输入的4位二进制数中有3个或3个以上为1时，输出为1

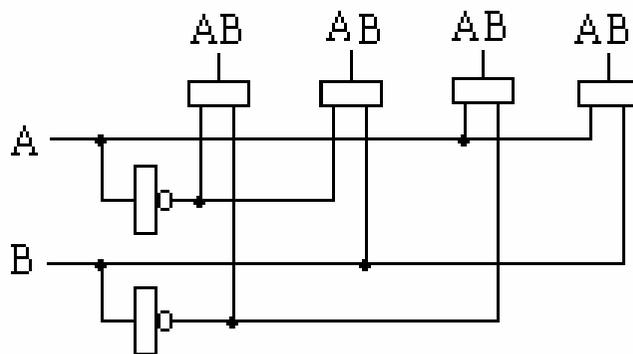
实验四 译码器及其应用

一、实验目的

掌握译码器的工作原理和使用方法

二、实验内容

1. 用74LS04非门芯片和74LS08与门芯片设计及构建下图所示2-4译码器，观测其输入、输出信号波形的时序关系



实验四 译码器及其应用

二、实验内容(续)

(2) 观察3-8译码器74LS138芯片的逻辑功能

(3) 用3-8译码器74LS138、74LS00与非门、74LS32或门三种芯片设计及构建一位全加器，观测其输入、输出信号波形的时序关系

(4) 用3~8译码器74LS138和门电路设计一个二位比较器，当 $A_1A_0 \geq B_1B_0$ 时，输出为1

实验五 数据选择器

一、实验目的

掌握数据选择器的功能以及设计、实现、使用等方法，观测其输入、输出信号波形的时序

二、实验内容

1. 观察八选一数据选择器74LS151芯片的逻辑功能
2. 用八选一数据选择器74LS151芯片和门电路设计及构建二位比较器，当时，输出为1

实验五 数据选择器

二、实验内容(续)

3. 用八选一数据选择器74LS151芯片和门电路设计及构建一位8421BCD码的四舍五入判别器(当输入的8421BCD码大于等于5时, 输出为1)。

4. 用八选一数据选择器74LS151芯片和门电路设计及构建一个判别器, 当输入的4位二进制数被3整除且不为0时, 输出为1。

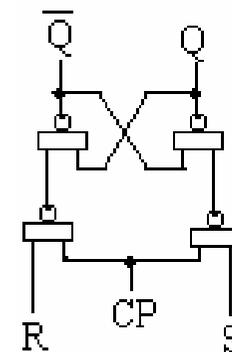
实验六 触发器与移位寄存器

一、实验目的

1. 熟练掌握触发器的两个基本性质—具有两个稳态以及在外部的激励下可以从一个状态转换为另一个状态
2. 了解不同逻辑功能触发器的转换原理
3. 掌握时钟触发器的构成及寄存器的应用

二、实验内容

1. 按右图连线，用门电路设计钟控RS触发器



实验六 触发器与移位寄存器

二、实验内容(续)

2. 在1内容基础上设计转换电路，将钟控RS触发器转换为JK、D触发器
3. 用4D触发器74LS175、四位二选一选择器74LS157和门电路设计不仅可以输入数据，而且可以算术右移和逻辑右移的四位移位寄存器

三、思考题

1. 画出即可左移又可右移的四位移位寄存器的逻辑图
2. 克服钟控RS触发器空翻有几种方法？举例说明

实验七 计数器

一、实验目的

1. 掌握计数器的设计方法
2. 了解如何构成不同进制的计数器

二、实验内容

1. 用4D触发器74LS175和门电路设计一个同步的2位可逆计数器，即当 $X=0$ 时，加1计数； $X=1$ 时，减1计数。
2. 用4D触发器74LS175和门电路设计一个同步的十六进制加1计数器。
3. 将内容2中十六进制加1计数器转换成8进制加1计数器

实验八 并行加减

一、实验目的

了解二进制数并行加减和十进制数并行加减的基本原理及特点

二、实验内容

1. 设计一个四位无符号二进制数并行加减运算逻辑电路
2. 设计一个miniALU(算术逻辑运算部件)，输入S1S0AB，当 S1S0=00时，输出为A+B；S1S0=01时，输出是A-B；S1S0=10时，输出是A AND B；S1S0=11时，输出A XOR B

