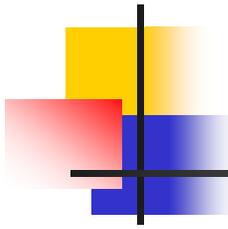


数字逻辑电路实验

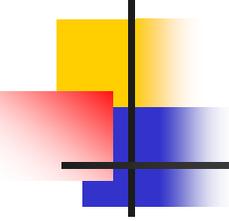
北京大学信息科学技术学院

2006年2月



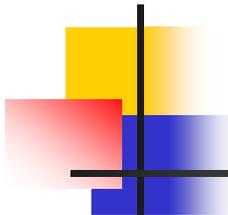
数字逻辑电路实验

- 实验课程安排介绍
- 实验一 逻辑门电路测试一
- 实验二 逻辑门电路测试二
- 实验三 单稳态电路与无稳态电路
- 实验四 晶体振荡器
- 实验五 组合逻辑电路的应用
- 实验六 计数器和脉宽测量
- 实验七 同步时序系统设计



数字逻辑电路实验

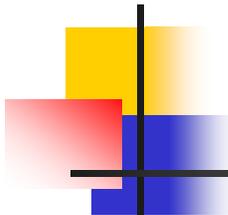
- 实验八 单次触发的异步时序逻辑系统设计
- 实验九 程序控制反馈移位寄存器
- 实验十 m序列
- 实验十一 数字锁相环
- 实验十二 模数和数模转换
- 实验十三 同步时序系统设计仿真
- 实验十四 程序控制反馈移位寄存器仿真



实验课程安排介绍

1. 实验进度安排

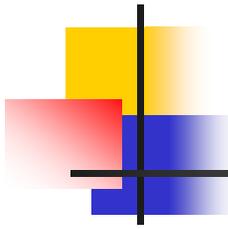
周次	实验名称
1	大课、实验一（逻辑门电路测试之一）
2	实验一（逻辑门电路测试之一）
3	实验二（逻辑门电路测试之二） 实验四（晶体振荡器）
4	实验三（单稳态电路与无稳态电路）



实验课程安排介绍

1. 实验进度安排(续)

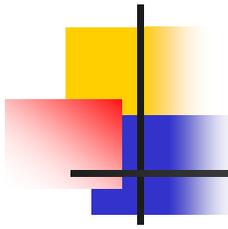
5	实验五（组合逻辑电路的应用）
6	实验六（计数器和脉宽测量）
7	“五一”放假一周
8	实验七（同步时序系统设计）
9	同上
10	同上
11	实验七



实验课程安排介绍

1. 实验进度安排(续)

12	实验九 程序控制反馈移位寄存器-1
13	实验九 程序控制反馈移位寄存器-2
14	实验十 M序列
15	实验十二 模数和数模转换



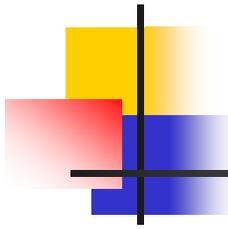
实验课程安排介绍

2. 实验课程简介

本课程由三个层次的实验内容共14个实验的课程体系组成。三个层次的实验涉及基本门电路、小系统的设计、可编程逻辑电路及含有A/D和D/A电路系统电路设计。

3. 实验要求

预习实验、实验记录规范、完成实验报告、爱护仪器和实验装置



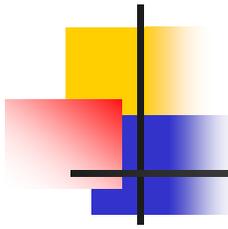
实验课程安排介绍

4. 成绩评定

评分由几方面构成：

实验中的积极主动性，实验方法、结果，实验的预习、实验报告、出勤以及操作不规范造成的损坏实验装置和芯片等将对评分有影响。尤其要评定同学是否积极主动，独立思考、独立设计。提高动脑和动手能力为主要目的。





实验一 逻辑门电路测试一

1.实验目的

- (1) 具有相同逻辑功能但不同类型的逻辑器件其电参量会有较大差异（比如：TTL与非门和CMOS与非门的电参量就很不同），这是在逻辑电路的设计中必须注意的问题。通过本练习要引导思考不同类型门电路的共性与个性，并在后续练习中加深对这一点的认识。
- (2) 注意实际门特性与理想门特性的差异。了解实验门电路存在的各种现象，分析结果，说明原因。

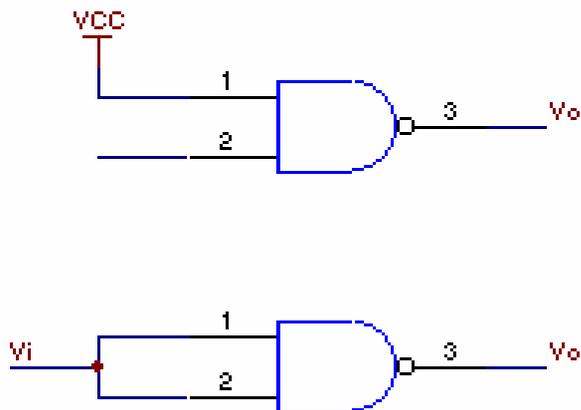
实验一 逻辑门电路测试一

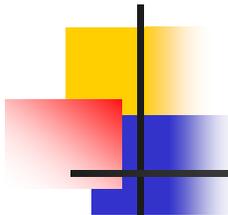
2. 实验内容

(1) 测量DTL以及CMOS门器件的下列静态参数

输入短路电路电流、输入端上下阈值电压、输出高低电平、输入端上下阈值电阻

(2) 用示波器双通道观测与非门CD4011输入输出电压传输特性





实验一 逻辑门电路测试一

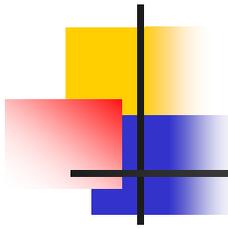
3. 思考题

(1) DTL与CMOS两种与非门芯片上、下阈值的大小，间隔及对称性有何不同，这些差异对电路抗扰性有何影响？

(2) 若门电路的输入端要通过电阻接高电位或接地，使输入端常置“1”或常置“0”，应如何选择电阻R的值？

(3) 门电路的静态参量提出了对信号源的什么要求？





实验二 逻辑门电路测试二

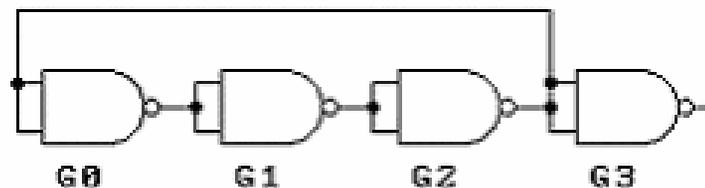
1.实验目的

- (1) 了解用环形振荡器法和脉冲形成法这两种方法测量门的延迟时间。
- (2) 通过实验理解产生门的延迟时间的机制。由于观察波形的带宽超出了测量仪器（示波器）的带宽，因此要求用频谱分析的方法对测量结果进行修正，以得到接近实际的测量值。
- (3) 学会利用门延迟设计窄脉冲发生器。

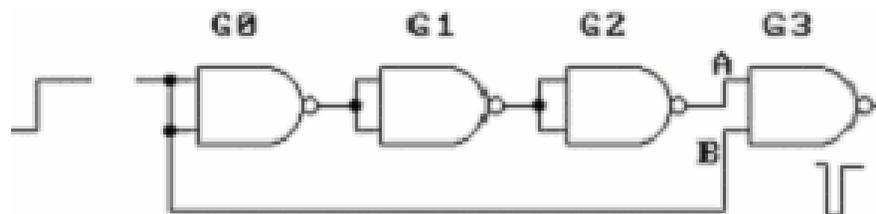
实验二 逻辑门电路测试二

2. 实验内容

(1) 用环形振荡器测量门的延迟时间
用DTL门或CMOS门组成环形振荡器，如右图所示，通过隔离级G3用示波器观察振荡波形。



(2) 用脉冲形成法测量门的延迟时间
输入一个宽脉冲，G3输出的脉冲波形应为宽度为 $3\tau_g$ 的负脉冲

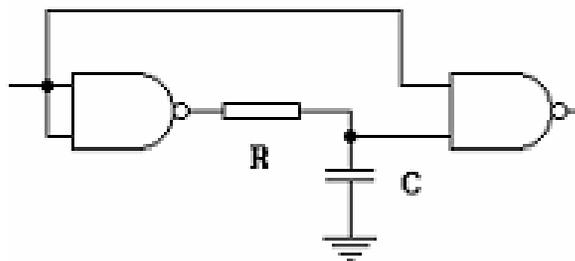


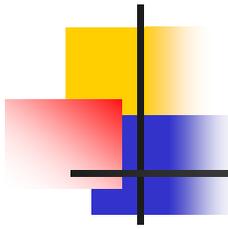
实验二 逻辑门电路测试二

2. 实验内容(续)

(3) 设计一个窄脉冲形成电路

按下图所示电路，正确地选择电阻和电容，组成一个产生脉宽为 $1\ \mu\text{s}$ 的窄脉冲形成电路。应该注意：对于TTL电路和CMOS电路，R的取值有较大的差异。





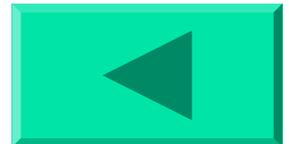
实验二 逻辑门电路测试二

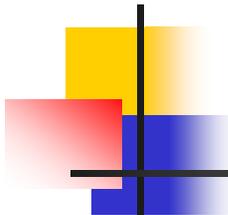
3. 思考题

(1) 本实验的环形振荡器是由奇数级门组成的直耦反馈环路，那么由偶数级门组成的直耦反馈环路，是否也是环形振荡器？

(2) 在测量环形振荡器的波形和频率时，若不用输出级G3，可能会有什么影响？

(3) 在测量环形振荡器波形时，观察到信号波形不理想，试分析是什么原因？





实验三 单稳态电路与无稳态电路

1.实验目的

- (1) 了解组成单稳态及无稳态电路的逻辑。认识单稳态、双稳态、无稳态三种电路之间的内在联系。
- (2) 练习用集成门组成单稳态及无稳态电路。
- (3) 练习用D触发器组成单稳态电路。
- (4) 练习用集成单稳态芯片组成单稳态电路。

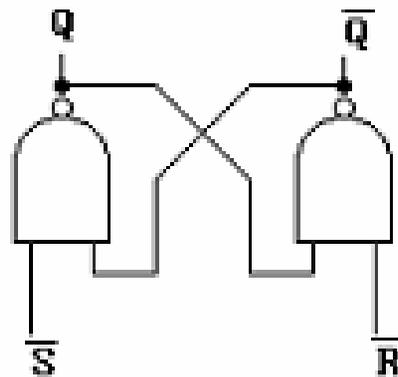
实验三 单稳态电路与无稳态电路

2. 实验内容

(1) 测试闩锁特性

用TTL与非门74LS00组成右图所示电路。

当 \bar{R}, \bar{S} 端分别为 (0, 1)、(1, 0) 时测试 Q, \bar{Q} 端的输出电平，并观察闩锁的工作是否正常。



(2) 用阻容延迟电路组成单稳态电路与无稳态电路

用TTL门电路组成一单稳态电路和无稳态电路，测试各点的波形。

实验三 单稳态电路与无稳态电路

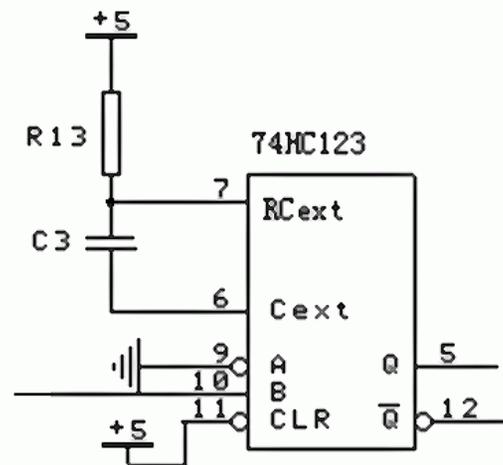
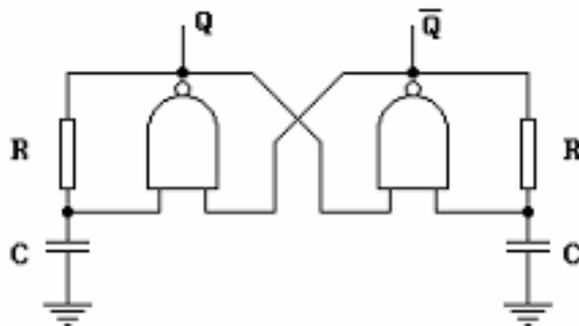
2. 实验内容（续）

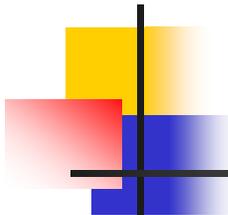
(3) D触发器CD4013组成单稳态电路

(4) 利用集成单稳芯片74HC123组成实现单稳态电路。

要求暂稳态时间为1微秒，实验电路参考右下图。

(5) 用CD4011组成下图所示的多谐波振荡器，试计算R、C的数值，并观察其波形与频率。





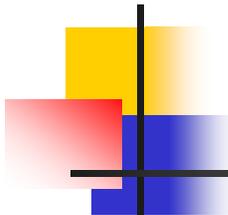
实验三 单稳态电路与无稳态电路

3. 思考题

(1) 比较本实验中的多谐波振荡器与实验二中的环形振荡器，两者有何相同之处，有何不同之处？

(2) 如何用一个集成单稳态芯片组成一个无稳态电路？提出设计方案。





实验四 晶体振荡器

1.实验目的

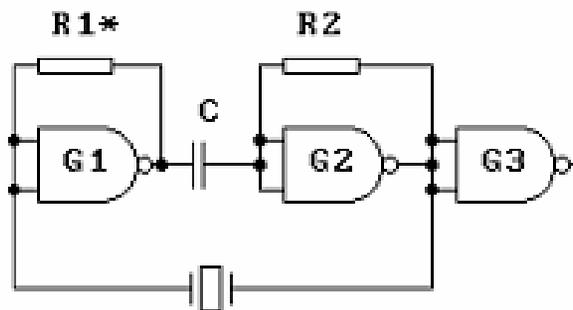
- (1) 了解实用的晶体振荡器的组成与调试。
- (2) 注意观察实验中晶体振荡器的多模现象，判别多模振荡的频率及掌握解决办法。

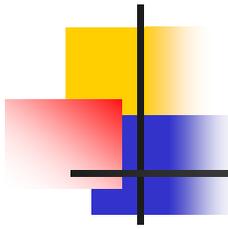
实验四 晶体振荡器

2. 实验内容

(1) 用TTL和HC门各组成一个晶体振荡器，使振荡于晶体的固有频率。观察电路中G3门前后的振荡波形并测量振荡频率。

(2) 用数字频率计观察改变R1对振荡频率的影响，并与通用信号发生器的稳定度进行比较。

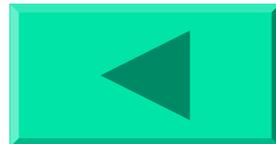


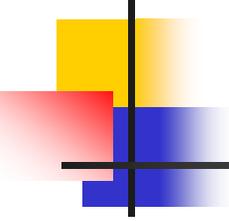


实验四 晶体振荡器

3. 思考题

- (1) 与前述练习中的几种振荡器比较，说明各自的异同。
- (2) 说明你观察到的多模现象，形成原因及消除办法。
- (3) 非门与通常的反向放大器比较，有何相同之处？有何不同之处？

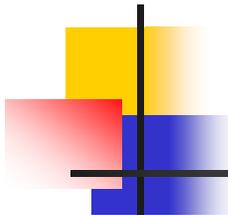




实验五 组合逻辑电路的应用

1.实验目的

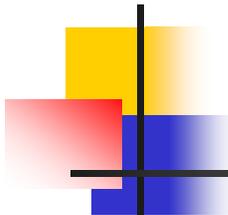
- (1)掌握用SSI设计组合逻辑电路的方法。
- (2)掌握译码器、数据选择器、数值比较器等MSI器件的使用方法。
- (3)掌握用常见的MSI器件设计组合逻辑电路的方法。



实验五 组合逻辑电路的应用

2. 实验内容

- (1) 用异或门74LS86和与非门74LS00实现两位2进制全加器, 并选择几种输入组合进行验证。
- (2) 用3-8译码器74LS138实现数据分配器, 在输入端加入方波, 通过不同的地址码设置, 从不同输出端测试输出波形。
- (3) 对于数值比较器74LS85, 选择几种输入组合观察比较结果, 验证其逻辑功能



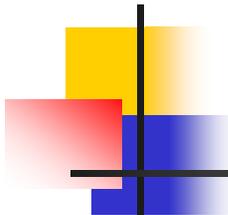
实验五 组合逻辑电路的应用

3. 思考题

(1) 在用集成电路设计组合逻辑电路时，什么是最佳设计方案？

(2) 在数据选择器产品中，除有原码输出外，还有反码输出、三态输出，它们各用在什么场合？





实验六 计数器和脉宽测量

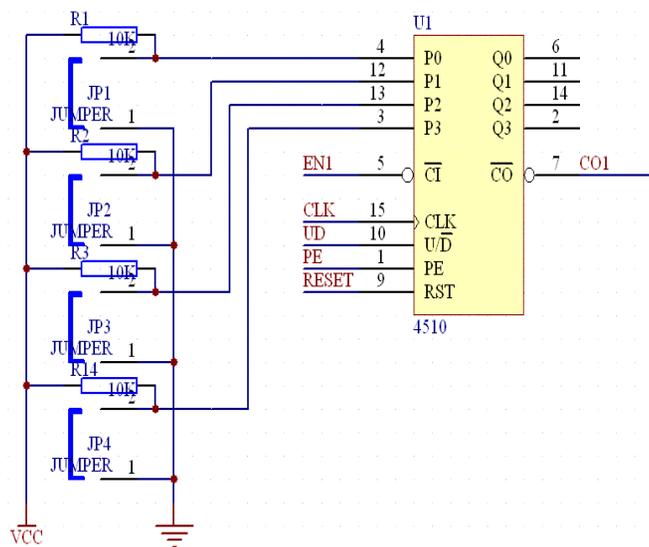
1.实验目的

- (1) 通过学习典型可逆计数器和简单脉宽测量电路的原理来熟悉具有有一些中小规模的数字集成芯片的原理和使用
- (2) 掌握计数电路，初步掌握脉宽测量技术的设计和调试方法

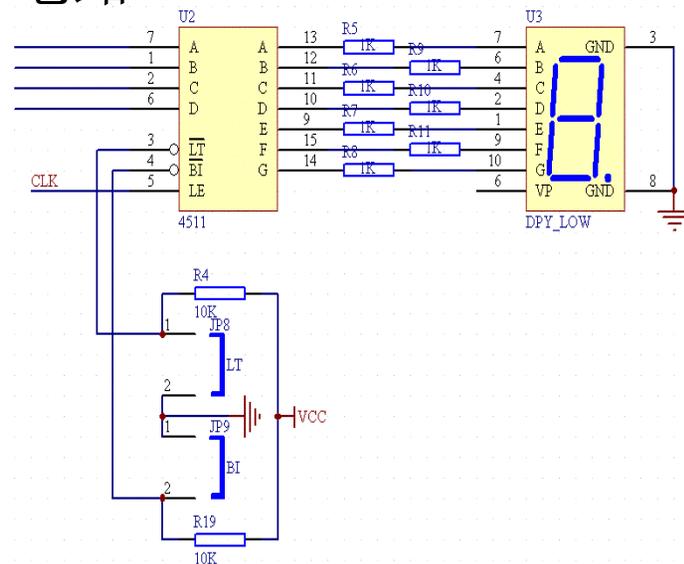
实验六 计数器和脉宽测量

2. 实验内容

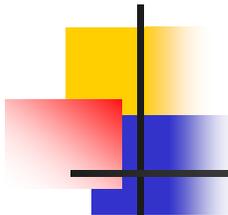
(1) 以信号发生器为时钟源，输出正弦波形，调试时钟整形，分别调试两路计数显示电路



计数器部分电路



译码锁存显示电路



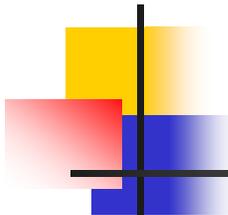
实验六 计数器和脉宽测量

2. 实验内容(续)

(2) 设计一路 N ($0 < N < 10$) 进制加减计数器, 选用1KHz时钟信号, 测量并记录计数器各点波形

(3) 设计实现两路计数器级联的100进制连续加减计数器, 输入低频时钟信号 (如2Hz, 1Hz \cdots), 观察数码管显示

(4) 设计实现简单的脉宽测量仪, 用以测量按键时间或外接脉冲宽度, 溢出时有溢出指示



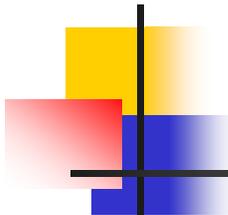
实验六 计数器和脉宽测量

3. 思考题

(1) 试设计两位任意进制的加减计数器。

(2) 在本实验的基础上，试论述实用的脉宽测量仪要有哪些改进，应注意些什么。



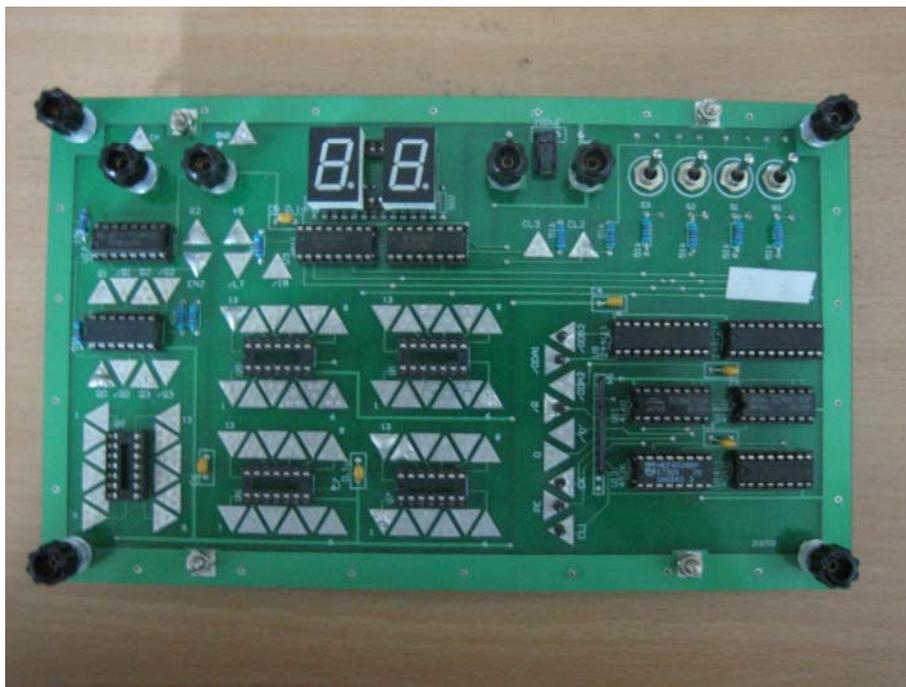


实验七 同步时序系统设计

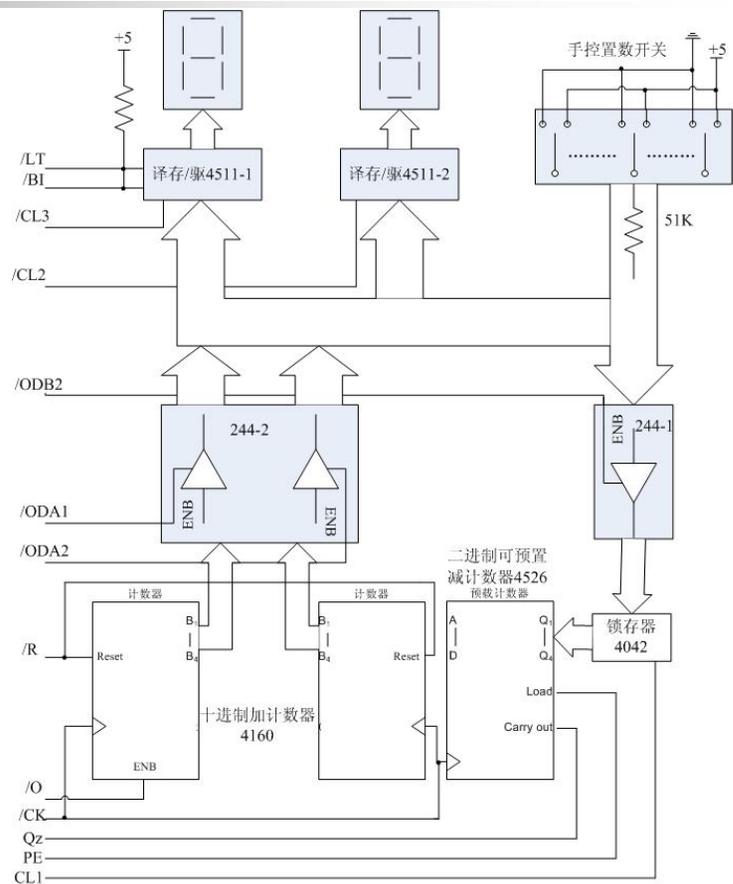
1.实验目的

- (1)掌握几种常见集成计数器的主要用途、特点及使用方法。
- (2)建立对双向传输数据总线结构的初步认识，了解集成三态门的作用。
- (3)对实际系统分割后的局部模块进行测试，理解系统时钟模块电路组成及特点。
- (4)学习设计一个可以周期性工作的同步时序系统。
- (5)练习对所设计系统所实现功能的调试验证。

实验七 同步时序系统设计



实验电路板

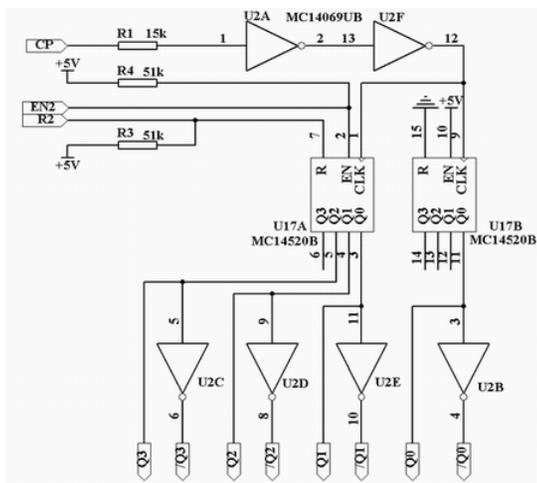


实验七 同步时序系统设计

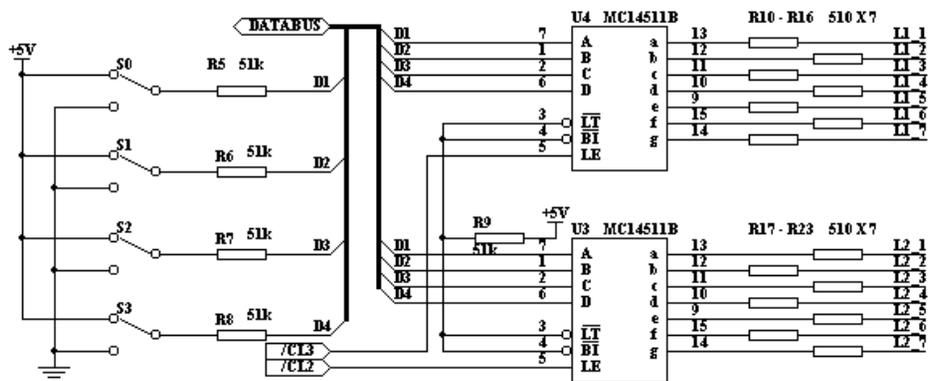
2. 实验内容

(1) 子模块电路的熟悉与测试

依次各子模块电路进行逻辑功能的测试



时钟子模块电路原理图



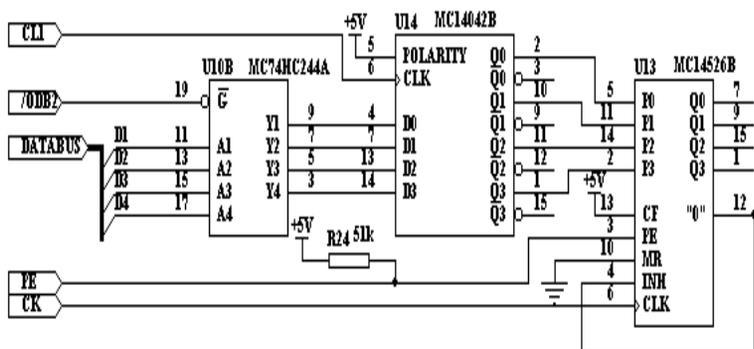
显示及手控开关子模块电路原理图

实验七 同步时序系统设计

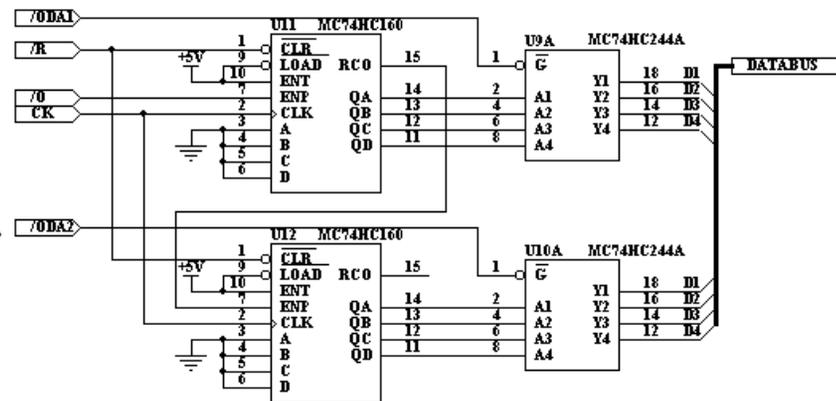
2. 实验内容(续)

(1) 子模块电路的熟悉与测试(续)

依次各子模块电路进行逻辑功能的测试



接受数据并计数子模块电路图



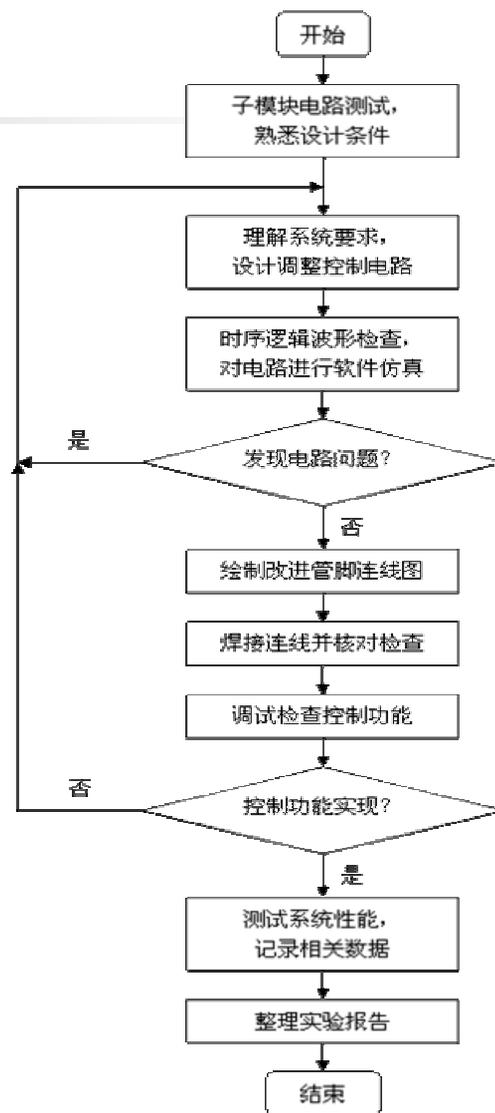
数据二-十进制转换子模块电路图

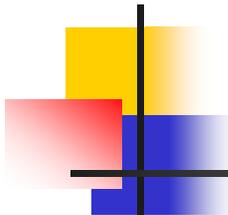
实验七 同步时序系统设计

2. 实验内容（续）

(2) 同步时序系统中控制模块的设计实验的设计流程图可参见右图。

(3) 系统的综合实现及调试检测
电路连接后如果发现问题，应该认真观察相关波形，查找分析错误原因，必要时修改设计，增加调整逻辑组合来解决



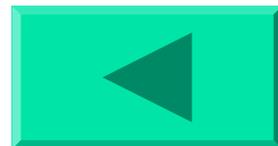


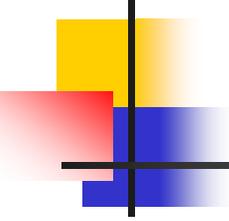
实验七 同步时序系统设计

3. 思考题

(1) 本实验系统进行同步计数时，工作频率上限主要由哪些系统电路决定的？为避免数据总线上可能传送数据间的互相干扰，采用了何种措施？

(2) 现在只能对0~15的预置数进行处理显示，如果要将本系统扩展到可以在0~99间置数显示，除了拨码开关系统电路要添加相应的开关外，还有哪几部分系统电路需要添加增补？基本要求是给出定性分析说明，扩展要求给出系统增补部分的电路原理图。





实验八 单次触发的异步时序逻辑系统设计

1. 实验目的

- (1) 练习异步时序逻辑电路的设计方法。
- (2) 初步了解可编程逻辑器件的使用方法。

2. 实验内容

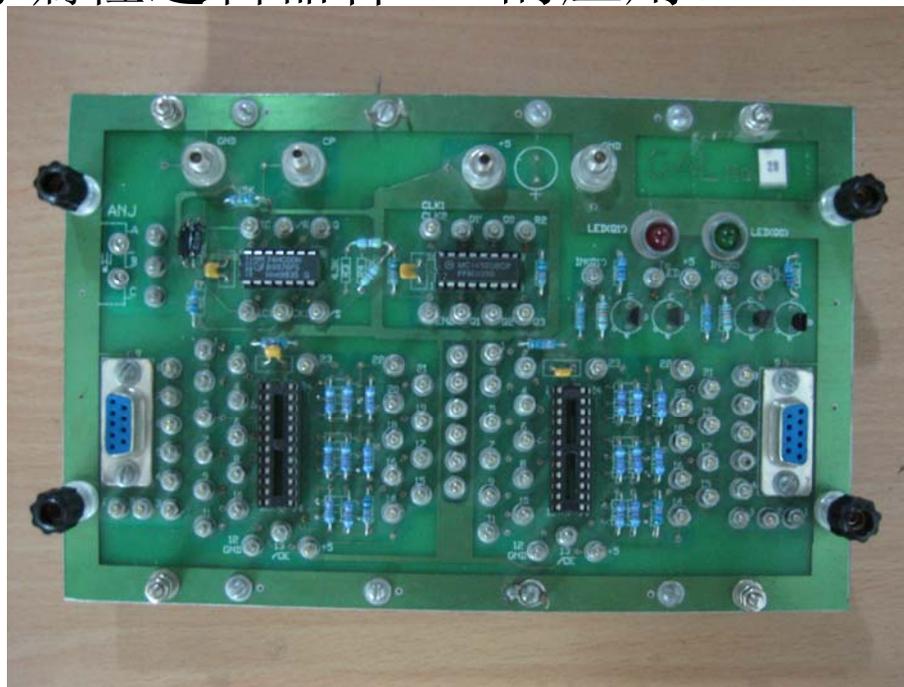
- (1) 用中、小规模集成电路设计控制电路
- (2) 用GAL (PALCE) 完成前面的内容



实验九 程序控制反馈移位寄存器

1.实验目的

- (1)掌握带自启动的反馈移位寄存器电路的设计方法。
- (2)学习可编程逻辑器件GAL的应用。



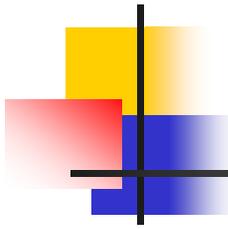
实验九 程序控制反馈移位寄存器

2. 实验内容

(1) 根据实验原理中的码型真值表设计出如下表所示码型的最简逻辑表达式，画出逻辑状态转移图，检查输出状态顺序

(2) 检查实验板的GAL外围电路如时钟整形、程序计数器和LED状态表示等电路是否正常工作，认清各部件和控制连线及其输入输出关系

N	0	1	2	3
Q ₃	0	0	0	1
Q ₂	0	0	1	0
Q ₁	0	1	0	0
Q ₀	1	0	0	0
	↑	_____		↓



实验九 程序控制反馈移位寄存器

2. 实验内容(续)

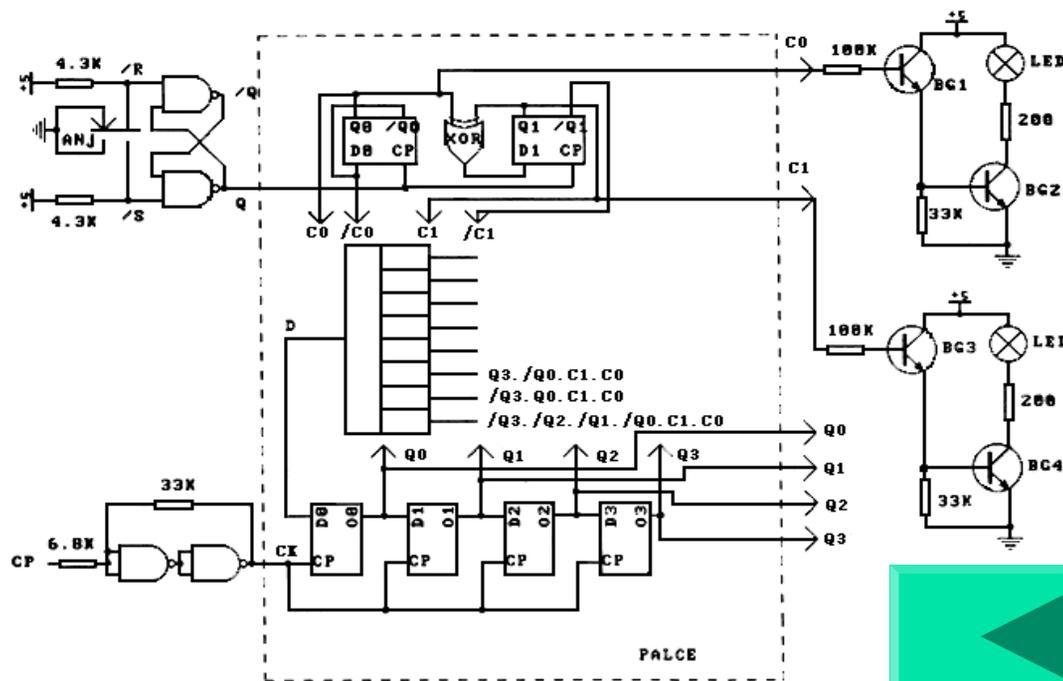
(3) 编译设计好的程序，检查设定的测试矢量是否都正确实现，在确定无误后领取GAL芯片并将程序下载烧录到芯片中。

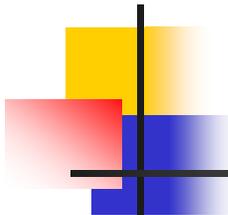
(4) 将GAL芯片插入电路板的对应插座上。用示波器观察记录移位寄存器的时钟CK、输入控制信号D0和4路输出波形Q3Q2Q1Q0，检查是否与设计要求码型相符。观察时应注意正确选用示波器同步设置。

实验九 程序控制反馈移位寄存器

3. 思考题

(1) 下图中左上角的闩锁和左下角的施密特电路是否可设计在GAL中？





实验十 m序列

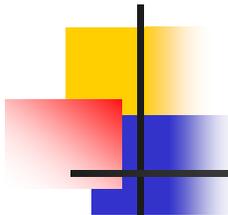
1.实验目的

- (1)初步了解m序列的原理和产生
- (2)设计比较简单m序列

2. 实验内容

- (1)利用OrCAD仿真设计软件，时钟输入端加上1MHz以下时钟信号，自选一组反馈多项式的系数，设计5级以上的m序列码发生器并设计全零检测跳出功能，进行逻辑仿真
- (2)观察并画出输出端输出的m序列，与理论输出相比较





实验十一 数字锁相环

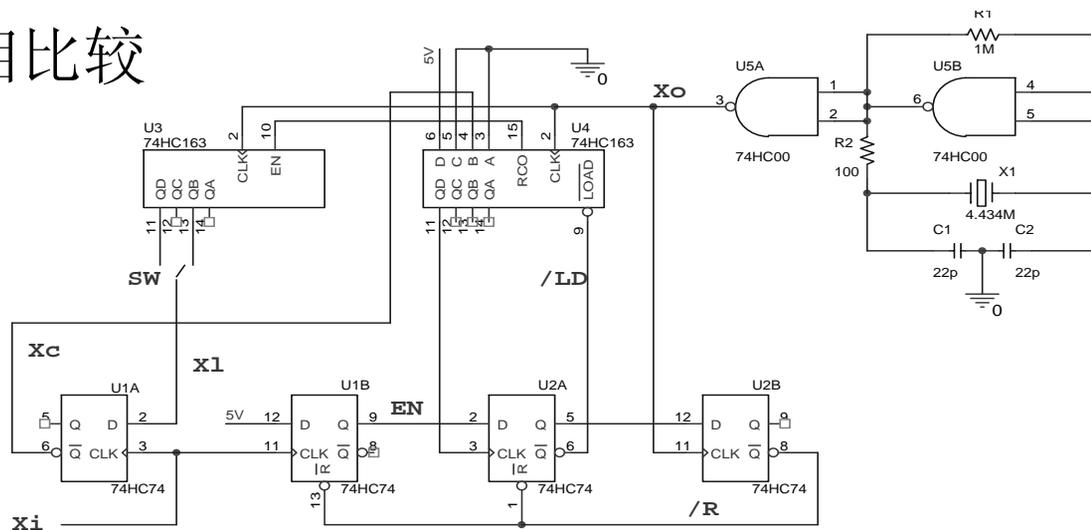
1.实验目的

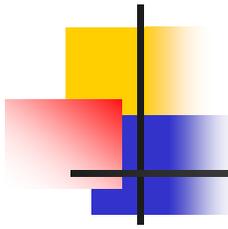
- (1) 了解数字锁相环的组成及工作原理。
- (2) 掌握一种典型数字锁相环的实现方法。
- (3) 分析与测量数字锁相环的频率锁定范围及相位跟踪误差。

实验十一 数字锁相环

2. 实验内容

(1) 将分频比设为256，信号发生器输出为0~5V的方波，频率为 $4.434\text{MHz}/256 = 17320\text{Hz}$ 。监测数字锁相环的参考信号 X_i 和输出信号 X_1 。微调 X_i 频率，观察 X_1 和 X_i 是否锁相。测量该数字锁相环正常工作的频率范围 f_H 和 f_L ，并与理论值相比较



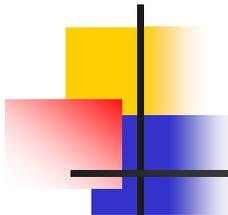


实验十一 数字锁相环

2. 实验内容(续)

(2) 使 X_i 的频率为 f_H 、 f_L 和 $(f_H+f_L)/2$ ，分别测量环路的相位跟踪误差

(3) 记录环路正常工作时 X_i 、 X_1 、 X_c 、 EN 、 $/LD$ 、 $/R$ 的波形以及U4的QDQCQBQA的波形，并对以上的数据和现象进行分析



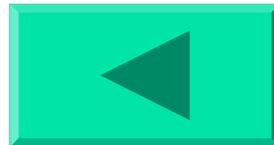
实验十一 数字锁相环

3. 思考题

(1) 数字锁相环输出信号 X_1 的工作频率的提高会受到哪些因素的影响？

(2) 实验电路中，用一级D触发器组成鉴相器，两个输入端口的信号能否互换？如要互换，电路要做哪些修改？

(3) 若 X_i 的频率和 X_1 的固有频率之比为 $n:m$ (n, m 为正整数)，数字锁相环能否正常工作？此时系统的正常工作频率范围和相位跟踪误差与 n 和 m 的关系如何？



实验十二 模数和数模转换

1. 实验目的

- (1) 了解模数转换和数模转换芯片的性能和工作时序。
- (2) 了解数模和模数转换电路的接口方法，注意保证时序正确，消除竞争。



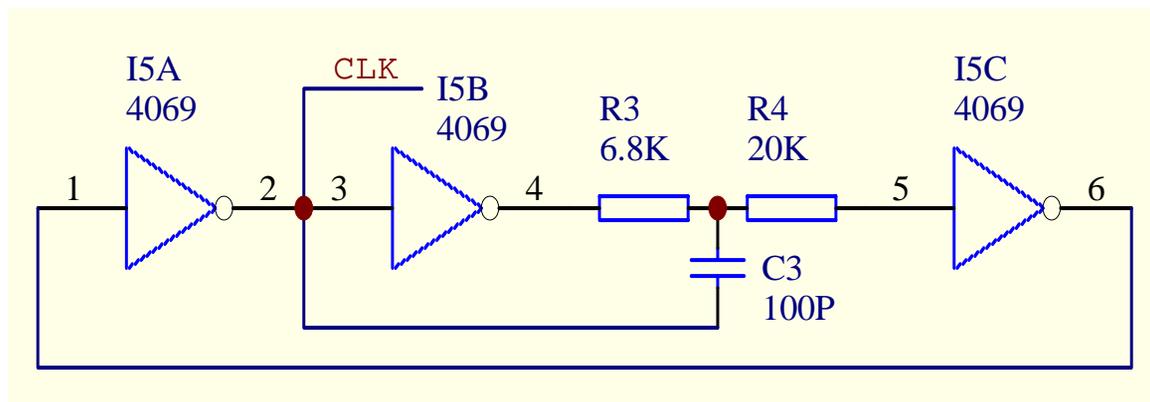
实验十二 模数和数模转换

2. 实验内容

(1) 基本调试及检测

a) 调节W1改变基准电压，使基准电压为2.55V。

b) 用示波器测量时钟部分电路各点的波形。



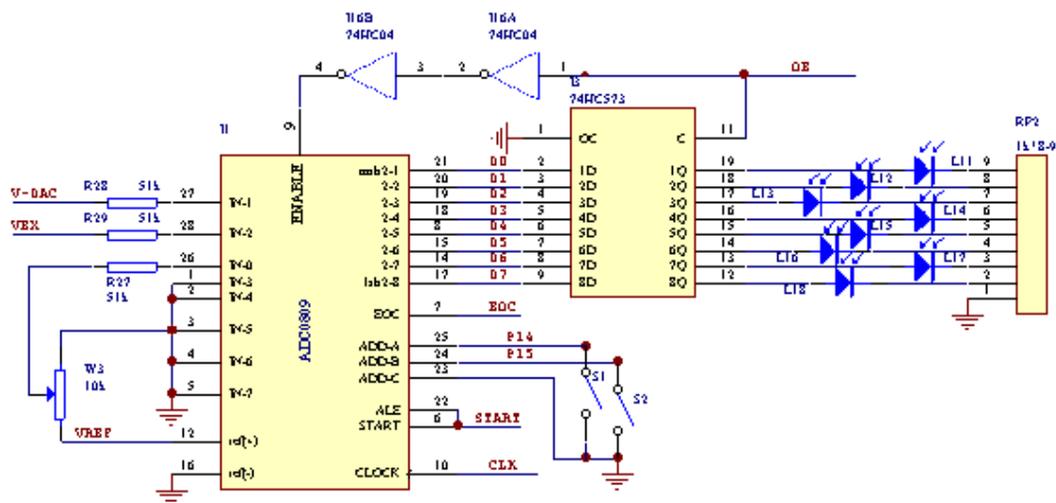
时钟部分电路图

实验十二 模数和数模转换

2. 实验内容(续)

(2) 模数转换检测

断开开关S4, S6, 改变S3, S5观察CK信号的频率变化, 使CK信号周期约为1S。改变输入电压, 验证输出结果。观察模数转换的时序。分别测量START, EOC, OE等各点波形, 并作记录

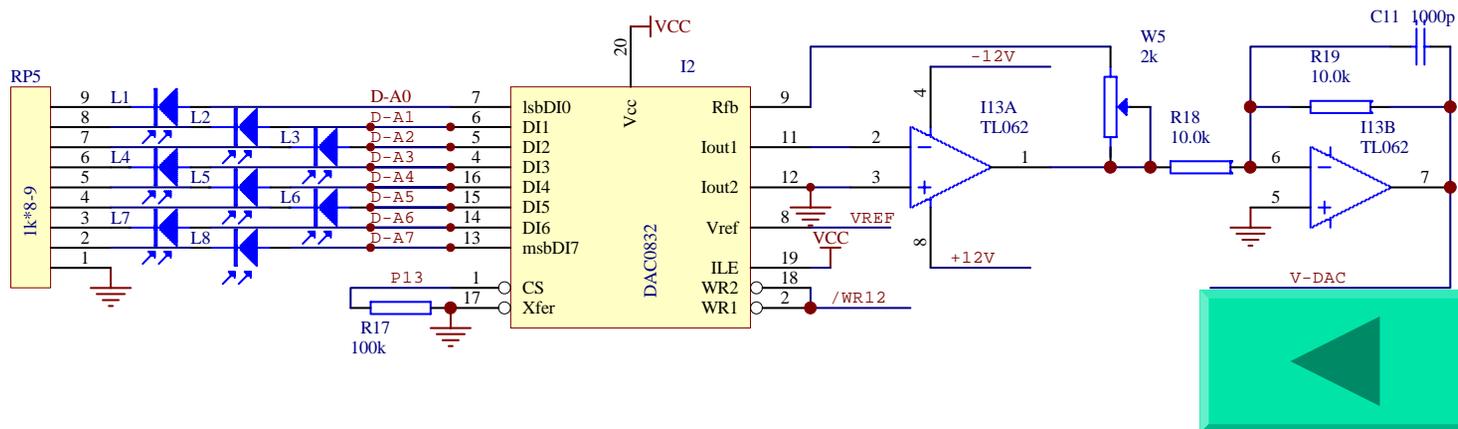


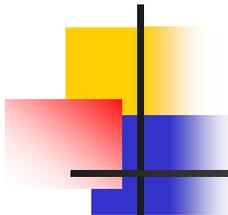
实验十二 模数和数模转换

2. 实验内容(续)

(2) 数模转换验证

开关设置同上(1)，观察输出波形，改变开关S5观察输出波形变化。比较转换速度快与慢时（调节开关S3，S5，改变CK信号频率）的波形有何不同，为什么？





实验十三 同步时序系统设计仿真

1. 实验目的

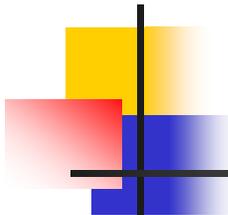
- (1) 练习使用OrCAD软件绘制数字电路原理图
- (2) 掌握利用仿真软件Pspice进行数字逻辑模拟的方法
- (3) 验证所设计同步时序系统控制模块的可行性

2. 实验内容

本实验是对实验七中的电路进行仿真测试。

- (1) 按步骤仿真“接受数据并计数子模块”电路。
- (2) 仿真“时钟模块”电路，测试节点。
- (3) 仿真“数制转换模块”电路。使电路从0开始计数，计数到12后停止，并利用两个缓冲器分别输出到总线上
- (4) 仿真“显示子模块”电路。





实验十四 程序控制反馈移位寄存器仿真

1.实验目的

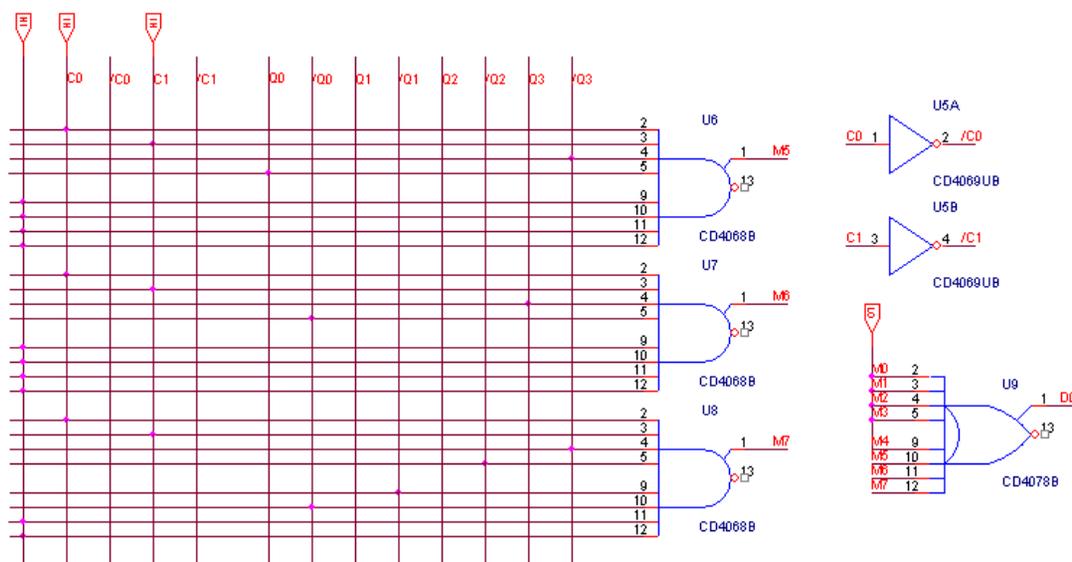
- (1) 增强对程序控制反馈移位寄存器工作原理的理解。
- (2) 练习电路设计技巧，锻炼数字电路仿真能力。
- (3) 比较反馈移位寄存器系统在GAL实现和计算机仿真时的特点及区别。

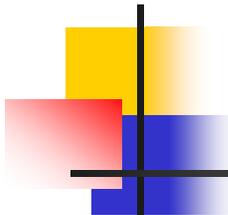
实验十四 程序控制反馈移位寄存器仿真

2. 实验内容

(1) 绘制并仿真移位寄存器模块电路，自行拟定时钟、D0反馈等输入参数，验证其功能

(2) 绘制逻辑控制模块电路，参考下图，补全M0...M4的积项





实验十四 程序控制反馈移位寄存器仿真

2. 实验内容(续)

(3) 将仿真移位寄存器模块同逻辑控制模块相互连通，设计C0、C1信号

(4) 整理仿真结果，比较Pspice电路仿真与ABEL测试矢量仿真的差异及各自特点

